

SKRIPSI

PERENCANAAN DAN PEMBUATAN MODEM MULTIPLE FSK DENGAN MENGUNAKAN METODE DDS (Direct Digital Synthesizer) BERBASIS MIKROKONTROLER ATmega 8-bit



**Disusun oleh :
ACHMAD SYAIFUL ANANG
NIM 03.17.079**

**JURUSAN TEKNIK ELEKTRO S-1
KONSENTRASI TEKNIK ELEKTRONIKA
FAKULTAS TEKNOLOGI INDUSTRI
INSTITUT TEKNOLOGI NASIONAL MALANG
NOVEMBER 2008**



LEMBAR PERSETUJUAN

PERENCANAAN DAN PEMBUATAN MODEM MULTIPLE FSK DENGAN
MENGUNAKAN METODE DDS (*Direct Digital Synthesizer*)
BERBASIS MIKROKONTROLER ATmega 8-bit

SKRIPSI


*Disusun dan diajukan sebagai salah satu syarat untuk memperoleh gelar Sarjana
Teknik Elektronika Strata Satu (S-1)*

Disusun Oleh :

ACHMAD SYAIFUL ANANG
0317.079

Diperiksa dan disetujui,

Dosen Pembimbing I


Ir.F. Yudi Limpraptono, MT
NIP. Y. 1039500274

Dosen Pembimbing II


Sotyonadi, ST.Msc
NIP. Y. 1039700309

Mengetahui,

Ketua Jurusan Teknik Elektro S-1




Ir.F. Yudi Limpraptono, MT.
NIP.Y. 103 950 0274

JURUSAN TEKNIK ELEKTRO S-1
KONSENTRASI TEKNIK ELEKTRONIKA
FAKULTAS TEKNOLOGI INDUSTRI
INSTITUT TEKNOLOGI NASIONAL MALANG
2008



BERITA ACARA UJIAN SKRIPSI
FAKULTAS TEKNOLOGI INDUSTRI

Nama : Achmad Syaiful Anang
NIM : 03.17.079
Jurusan : Teknik Elektro S-1
Konsentrasi : Teknik Elektronika
Masa Bimbingan : 05 Juni 2008 s/d 05 Desember 2008
Judul Skripsi : Perencanaan dan Pembuatan Modem Multiple FSK
Dengan Menggunakan Metode DDS (Direct Digital
Synthesizer) berbasis Mikrokontroler Atmega 8 bit

Dipertahankan di hadapan Tim Penguji Skripsi Jenjang Strata Satu (S-1) pada :

Hari : Selasa
Tanggal : 23 September 2008
Dengan Nilai : 80,75 (A) *[Signature]*

Panitia Ujian Skripsi



Ketua Majelis Penguji
(Ir. Mochtar Asroni, MSME)
NIP. Y. 1018100036



Sekretaris Majelis Penguji
(Ir. F. Yudi Limpraptono, MT)
NIP.Y/1039500274

Anggota Penguji

Penguji I

(I Komang Somawirata,ST.MT)
NIP.Y. 1030100361

Penguji II

(Irmalia Suryani Faradisa ST.MT)
NIP.P.1030100365

ABSTRAK

PERENCANAAN DAN PEMBUATAN MODEM MULTIPLE FSK DENGAN MENGGUNAKAN METODE DDS (*Direct Digital Synthesizer*) BERBASIS MIKROKONTROLER ATMEGA-8 BIT

(Achmad Syaiful Anang, 03.17.079, Jurusan Teknik Elektronika S-1)
(Dosen Pembimbing I : Ir.F.Yudi Limpraptono, MT)
(Dosen Pembimbing II : Sotyohadi, ST)

Salah satu metode pengiriman data atau informasi dengan pemodulasian digital yang umum dipakai adalah FSK(*Frequency Shift keying*). FSK lebih dikenal dengan bit 0 diwakili f_2 (biasanya 2200 Hz) dan bit 1 diwakili f_1 (biasanya 1200 Hz). Dengan dasar FSK serta masukan dari satu karakter kode ASCII yang menghasilkan 8 bit, penulis mencoba mengembangkan FSK multiple bit atau MFSK(*Multiple Frequency shift keying*) yaitu dengan meringkas masukan 8 bit menjadi 4 bit dengan pengertian empat kode biner diwakili oleh empat frekuensi yaitu 00 untuk frekuensi 1200 Hz, 01 untuk frekuensi 2200 Hz, 10 untuk frekuensi 3000 Hz, dan 11 untuk frekuensi 900 Hz. Dengan bantuan metode DDS(*Direct Digital Synthesis*) sebagai penghasil sinyal sinusoid serta mikrokontroler Atmega8 bit sebagai pemroses data Hal tersebut memungkinkan pengiriman data menjadi lebih efisien. Dari hasil pengujian sistem secara keseluruhan didapatkan error sebesar 3 % dengan penjelasan dari 100 kali pengiriman berbagai karakter kode ASCII terdapat tiga karakter yang tidak berhasil dikirimkan.

Kata kunci : FSK, kode ASCII, MFSK, DDS, mikrokontroler Atmega8 bit

KATA PENGANTAR

Puji syukur kehadiran Tuhan YME karena atas berkat dan rahmat-Nya penyusun dapat menyelesaikan skripsi dengan judul “ **Perencanaan Dan Pembuatan Modem Multiple FSK Dengan menggunakan Metode DDS(*Direct Digital Synthesis*) Berbasiskan Mikrokontroler Atmega8 Bit** ”dengan baik sebagai prasyarat kelulusan di Institut Teknologi Nasional Malang. Oleh karena itu penyusun ingin mengucapkan terima kasih kepada :

1. Bapak Ir.F. Yudi Limpraptono, MT selaku ketua jurusan serta selaku dosen pembimbing I.
2. Bapak Sotyohadi, ST selaku Dosen Pembimbing II.
3. Bapak dan Ibu dirumah yang selalu mendukung .
4. Serta rekan-rekan mahasiswa Institut Teknologi Nasional Malang.

Penyusun juga menyadari bahwa dalam penyusunan skripsi ini banyak kekurangan dan kesalahan yang perlu diperbaiki. Penyusun berharap semoga laporan ini dapat memberikan manfaat yang sebesar-besarnya bagi penyusun pada khususnya dan juga bagi para pembaca pada umumnya.

Malang, September 2008

Penyusun

DAFTAR ISI

HALAMAN JUDUL	i
LEMBAR PERSETUJUAN	ii
ABSTRAKSI.....	iii
KATA PENGANTAR.....	iv
DAFTAR ISI	v
DAFTAR GAMBAR.....	ix
DAFTAR TABEL.....	xii
BAB I: PENDAHULUAN	
1.1. Latar Bclakang	1
1.2. Maksud dan Tujuan	2
1.3. Rumusan Masalah	2
1.4. Batasan Masalah.....	3
1.5. Metodologi Penelitian	3
1.6. Sistematika Penulisan.....	4
BAB II: DASAR TEORI	
2.1. DDS(Direct Digital Synthesizer)	5
2.2. FSK(Frequency Shift Keying)	6
2.3. Personal Computer(PC).....	7
2.4. Mikrokontroler AVR Atmega 8 bit.....	8
2.3.1. Arsitektur.....	8
2.3.2 Konfigurasi Pin	12

2.3.3	Peta Memori	13
2.3.4	Status Register (SREG)	15
2.3.5	Register I/O	16
2.3.6	Osilator	17
2.3.7	Interupsi	17
2.3.8	Timer/Counter 2	19
2.3.9	Register TIMSK	20
2.5.	Digital To Analog Converter(DAC)	21
2.6.	Op Amp Inverting	23
2.7.	Filter	23
2.8.	Komunikasi serial	25
2.8.1.	Protokol Komunikasi Pada RS232	26
2.9.	LM567	28
2.9.1	Arsitektur	28
2.10	MT8841	29
2.10.1	Arsitektur	29

BAB III: PERANCANGAN DAN PEMBUATAN ALAT

3.1	Pendahuluan	33
3.2.	Perancangan Perangkat Keras (<i>Hardware</i>)	33
3.2.1.	Rangkaian Mikrokontroler Atmega8	35
3.2.1.1.	Minimum Sistem Atmega8	35
3.2.1.2.	Perancangan Rangkaian Clock	36
3.2.1.3.	Perancangan Rangkaian Reset	37

3.2.2. Komunikasi Serial RS232	37
3.2.3. Perancangan DAC(Digital/Analog Converter)R2R	39
3.2.4. Perancangan Low Pass Filter	40
3.2.5 Perancangan Op Amp Inverting	40
3.2.6 Perancangan Rangkaian Demodulator LM567	41
3.2.7 Perancangan Rangkaian Demodulator MT8841	41
3.3. Perangkat Lunak Mikrokontroler	42

BAB IV: PENGUKURAN DAN PENGUJIAN ALAT

4.1. Pengujian Komunikasi Serial	46
4.1.1. Tujuan	46
4.1.2. Peralatan yang digunakan.....	46
4.1.3. Langkah-langkah pengujian	46
4.1.4. Analisa.....	47
4.2 Pengujian Rangkaian DAC R2R	48
4.2.1. Tujuan	48
4.2.2. Peralatan yang digunakan.....	48
4.2.3. Langkah-langkah pengujian	48
4.2.4. Analisa.....	49
4.3 Pengujian Rangkaian Op Amp.....	52
4.3.1. Tujuan	52
4.3.2. Peralatan yang digunakan.....	52
4.3.3. Langkah-langkah pengujian	52
4.3.4. Analisa.....	53

4.4 Pengujian Rangkaian Modulator MFSK	54
4.4.1. Tujuan	54
4.4.2. Peralatan yang digunakan.....	54
4.4.3. Langkah-langkah pengujian	54
4.4.4. Analisa.....	55
4.5 Pengujian Pengiriman Dan Penerimaan Data	57
4.5.1. Tujuan	57
4.5.2. Peralatan yang digunakan.....	57
4.5.3. Langkah-langkah pengujian	58
4.5.4. Analisa.....	58

BAB V: PENUTUP

5.1 Kesimpulan.....	60
5.2 Saran.....	60

DAFTAR PUSTAKA

LAMPIRAN

DAFTAR GAMBAR

2.1	FSK Modulation.....	6
2.2	Arsitektur AVR Atmega8	10
2.3	Blok Diagram AVR Atmega8	11
2.4	Konfigurasi Pin Atmega8.....	12
2.5	Data Memory Map	14
2.6	Status Register	15
2.7	Register MCUCR	18
2.8	General Interrupt Control Register.....	18
2.9	Register TIMSK	20
2.10	Blok R2R Ladder	22
2.11	Rangkaian Op Amp Inverting	23
2.12	Rangkaian Low Pas Filter	24
2.13	RS232 (MAXIM)	25
2.14	Konfigurasi Pin LM567	28
2.15	Konfigurasi Pin MT8841	30
3.1	Blok Diagram Sistem	34
3.2	Minimum Sistem Mikrokontroler Atmega8.....	36
3.3	Rangkaian RS232	38
3.4	Rangkaian DAC(Digital/Analog Converter)R2R	39
3.5	Rangkaian Low Pas Filter	40
3.6	Rangkaian Op Amp Inverting	40

3.7 Rangkaian LM567.....	41
3.8 Rangkaian MT8841.....	41
3.9 Flowchart Sistem.....	43
3.10 Flowchart Delphi.....	44
4.1 Rangkaian Pengujian serial	46
4.2 Pengujian Komunikasi Serial Data 1	47
4.3 Pengujian Komunikasi Serial Data 2	47
4.4 Rangkaian Pengujian DAC R2R.....	48
4.5 Sinyal Output Sebelum Di filter.....	51
4.6 Sinyal Output Setelah Di filter	51
4.7 Rangkaian Pengujian Op Amp.....	52
4.8 Rangkaian Pengujian Modulator MFSK.....	55
4.9 Sinyal Output Modulator 900 Hz.....	56
4.10 Sinyal Output Modulator 1200 Hz	56
4.11 Sinyal Output Modulator 2200 Hz.....	57
4.12 Sinyal Output Modulator 3000 Hz.....	57
4.13 Rangkaian Pengujian Modem	58
4.14 Pengujian Modem Pada Delphi Data 1	59
4.15 Pengujian Modem Pada Delphi Data 2	59
4.16 Pengujian Modem Pada Delphi Data 3	59

BAB I

PENDAHULUAN

1.1. Latar Belakang

Seiring dengan perkembangan zaman, perkembangan ilmu pengetahuan terutama dibidang elektronika mengalami kemajuan yang sangat pesat sehingga hampir setiap peralatan yang digunakan manusia tidak lepas dari penggunaan berbagai macam peralatan elektronika yang ada. Pada perkembangannya, teknologi elektronika menuntut manusia untuk menciptakan suatu peralatan elektronika yang tepat guna dan praktis sehingga dapat membantu semua kegiatan menjadi lebih mudah.

Salah satu perkembangan teknologi di bidang elektronika yang paling menonjol saat ini adalah perkembangan di bidang komunikasi. Peralatan yang memiliki kemampuan dalam pengiriman dan penerimaan data atau informasi, baik jarak jauh maupun jarak dekat sangat diperlukan. Salah satu alat yang dikenal adalah modulator. Dengan modulator, proses pengiriman data akan jadi lebih mudah. Modulator adalah alat yang melaksanakan proses modulasi. Ada dua jenis modulasi yaitu modulasi analog dan modulasi digital. Dalam modulasi digital, salah satu teknik yang umum dipakai adalah FSK(*Frequency Shift Keying*).

Hal tersebut yang mendasari penulis untuk membuat alat yang bisa membuat pemodulasian FSK lebih efisien dibanding modulasi FSK biasa. Metode FSK sebelumnya menggunakan bit 0 diwakili $f_2 = 2200$ Hz dan bit 1

yang diwakili $f_1 = 1200$ Hz. Agar didapatkan pengiriman yang lebih efisien penulis mencoba mengembangkan FSK multiple bit (yang pada awalnya menggunakan per-bit dikembangkan menjadi per-dua bit yaitu 00, 01, 10, dan 11). yang diwakili oleh empat frekuensi yang berbeda atau bisa disebut MFSK(*Multiple Frequency Shift Keying*).

Tetapi, proses pemodulasian FSK ini membutuhkan metode pendukung yang dapat menawarkan kecepatan tinggi terhadap frekuensi keluaran, resolusi frekuensi bagus, operasi atas suatu spektrum frekuensi yang lebar. Oleh karena itu penulis menggunakan metode DDS(*direct digital synthesis*) sebagai pembangkit sinyal sinusoidal. Penggunaan mikrokontroler juga diperlukan untuk mengolah data dan juga sebagai otak dari keseluruhan sistem. Pengembangan dan pembuatan alat ini diharapkan dapat menghasilkan pengiriman data yang lebih efisien.

1.2. Maksud dan Tujuan

Tujuan dari skripsi ini adalah merencanakan dan membuat modem multiple FSK dengan menggunakan metode DDS (*Direct Digital Synthesis*) berbasis mikrokontroler ATmega 8-bit.

1.3. Rumusan Masalah

Dalam perencanaan dan pembuatan modem multiple FSK dengan menggunakan metode DDS (*Direct Digital Synthesis*) berbasis mikrokontroler ATmega 8-bit, maka permasalahannya adalah bagaimana cara membuat suatu alat dan software yang dapat mendukung dalam proses pembuatan suatu modem

multiple FSK yang berfungsi untuk menghasilkan suatu modulasi FSK multiple bit yang diharapkan lebih efisien dari sistem modulasi FSK biasa.

1.4. Batasan Masalah

Dalam menyusun skripsi ini diperlukan suatu batasan masalah agar tidak menyimpang dari ruang lingkup yang akan dibahas. Adapun batasan masalahnya adalah sebagai berikut :

- a) Membahas tentang system dan proses alat.
- b) Metode yang digunakan dalam pembuatan alat ini adalah *Direct Digital Synthesis* (DDS)
- c) Data yang ditampilkan pada monitor adalah berupa data biner
- d) Menggunakan mikrokontroler Atmega 8-bit untuk pemrosesan data.

1.5. Metodologi Penulisan

Metodologi yang dipakai dalam pembuatan skripsi ini adalah:

1. Studi Literatur

Dengan mencari referensi-referensi yang berhubungan dengan perencanaan dan pembuatan alat yang akan dibuat.

2. *Field Research*

Dengan melakukan penelitian secara langsung mengenai objek-objek yang berhubungan langsung dengan perencanaan alat yang akan dibuat.

3. *Design* dan Pembuatan Alat

Yaitu meliputi pembuatan PCB, perakitan komponen serta penyolderan dan pembuatan perangkat lunak.

4. Pengujian Alat

Dengan melakukan pengujian perblok rangkaian dan kerja seluruh sistem pada alat tersebut.

1.6. Sistematika Penulisan

Sistematika penulisan skripsi sebagai berikut :

BAB I PENDAHULUAN

Membahas tentang latar belakang, rumusan masalah, tujuan, batasan masalah, metodologi dan sistematika penulisan pada penulisan skripsi ini.

BAB II LANDASAN TEORI

Berisikan tentang penjelasan dan teori-teori yang berhubungan dengan komponen-komponen yang digunakan dalam perancangan alat.

BAB III PERENCANAAN DAN PEMBUATAN ALAT

Membahas tentang perancangan alat yang terdiri dari perancangan perangkat keras dan perancangan perangkat lunak.

BAB IV PENGUJIAN ALAT

Membahas tentang pengujian peralatan secara keseluruhan dan analisa hasil pengujian.

BAB V PENUTUP

Berisikan kesimpulan yang didapat selama perancangan dan pembuatan alat serta saran-saran.

BAB II

LANDASAN TEORI

2.1 DDS (Direct Digital Synthesis)

2.1.1 Sistem DDS(Direct Digital Synthesis)

Sistem DDS (*Direct Digital Synthesis*) merupakan salah satu cara untuk menghasilkan sinyal sinusodial secara langsung. Inti dari system ini adalah arsitektur akumulator dengan resolusi mencapai mili Hertz dan frekuensi sinyal yang dihasilkan dapat diatur tergantung dari sinyal frekuensi referensi dan metode perancangan. Keluaran sistem DDS yang diproses oleh Mikrokontroler berupa sinyal digital kemudian menjadi masukan untuk DAC (*D/A converter*) dan LPF (*Low Pass Filter*) untuk menghasilkan sinyal sinusoidal yang sempurna.

Semua parameter kontrol sistem DDS berada dalam bentuk besaran digital. Sistem DDS pada dasarnya terdiri atas akumulator fasa, LUT (*Look Up Table*), dan osilator sebagai pembangkit frekuensi referensi (*clock*). Sedangkan DAC (*Digital to Analog Converter*) dan LPF (*Low Pass Filter*) merupakan komponen-komponen penunjang sistem DDS.

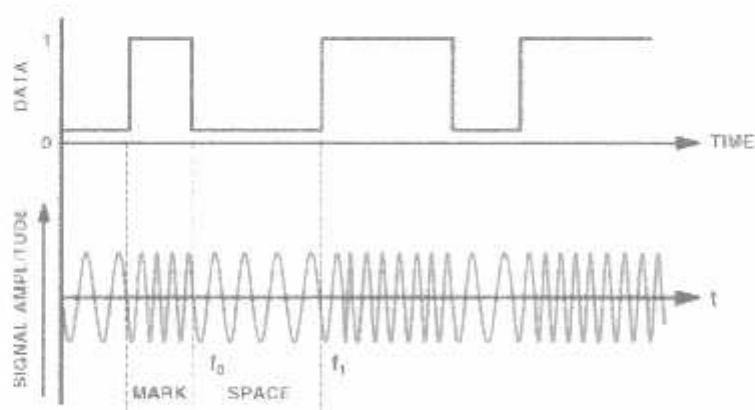
2.1.2 Kelebihan Sistem DDS(Direct Digital Synthesis)

Kelebihan penggunaan Sistem DDS adalah Karakteristik sistem DDS itu sendiri, dimana keutamaan dari sistem ini adalah memiliki *settling time*/kecepatan

yang cepat dan memiliki resolusi frekuensi yang halus terhadap frekuensi keluaran, operasi atas suatu spektrum frekuensi yang lebar dan dengan kemajuan dalam disain teknologi proses, serta sangat ringkas dan sedikit membutuhkan pemakaian daya, sehingga sangat memungkinkan sistem DDS bisa lebih dikembangkan untuk desain alat yang berkaitan dengan aplikasi-aplikasi frequency hopping serta sistem-sistem yang berkaitan dengan peralatan pemancar radio, TV, peralatan test, dll.

2.2 FSK (Frequency Shift Keying)

FSK(*frequency shift keying*) dikenal juga sebagai *Frequency Shift modulation* dan *frequency shift signaling*. FSK (*frequency shift keying*) biasa diartikan modulasi yang menyatakan sinyal digital 1 sebagai suatu nilai tegangan dengan frekuensi ($f_1 = 1200$ Hz) sementara sinyal digital 0 dinyatakan sebagai suatu nilai tegangan dengan frekuensi ($f_2 = 2200$ Hz). Sinyal yang dihasilkan adalah:



Gambar 2.1 FSK modulation^[1]

Sejarah FSK bermula pada awal 1900 an , saat teknik ini diungkapkan dan digunakan pada teleprinter sebagai pengirim pesan melalui radio (RTTY). Tapi FSK dengan beberapa modifikasi, masih efektif di beberapa instansi termasuk dunia digital dimana pada umumnya dalam hubungannya dengan computer dan modem berkecepatan rendah. Pada kenyataannya kontribusi FSK jauh melebihi perkiraan sebelumnya. Sebagai contoh, prinsip FSK telah memberikan jalan bagi perkembangan beberapa teknik yang hampir sama lainnya seperti *Audio Frequency Shift Keying* (AFSK) dan *Multiple Frequency Shift Keying* (MFSK)^[2].

MFSK(*Multiple frequency shift keying*) adalah penggunaan teknik FSK dengan menggunakan lebih dari dua frekuensi. Empat frekuensi Modem MFSK diwakili oleh kode biner 00 untuk frekuensi 1200 Hz, kode biner 01 untuk frekuensi 2200 Hz, kode biner 10 untuk frekuensi 3000 Hz dan kode biner 11 untuk frekuensi 900 Hz. Dengan teknik ini diharapkan dalam pengiriman data akan lebih efisien.

2.3. Personal Computer (PC)

Keyboard pada *personal computer* (PC) berfungsi sebagai pemberi inputan ke Mikrokontroler berupa inputan kode bentuk heksa yang kemudian di konversi ke bentuk biner .

Format dari transmisi scan code dari keyboard ditunjukkan seperti dibawah ini:



Rangkaian elektronik dari keyboard mengendalikan sinyal clock dan data. Awal dari transmisi scancode diindikasikan dengan logika “low” di jalur data pada falling edge dari clock. Data 8 bit dari scancode mengikuti (diawali dengan LSB) urutan falling edge dari clock. Hal ini diawali dengan bit parity odd dan logic high stop bit. Ketika jalur clock menjadi high setelah stop bit, receiver dapat menjadikan clock berlogika low untuk menghambat transmisi yang akan datang. Setelah jalur clock dikembalikan ke logika “high” maka, keyboard dapat mengirim scancode selanjutnya, jika ada penekanan.

2.4 Mikrokontroler AVR Atmega8

2.4.1. Arsitektur

AVR Atmega8 adalah mikrokontroler 8-bit CMOS, berdaya rendah yang berdasarkan pada bentuk arsitektur AVR RISC (*Reduced Instruction Set Computer*), yang hampir semua instruksinya selesai dikerjakan dalam satu siklus clock. AVR ATmega8 menggunakan instruksi tunggal (*Single Clock Cycle*), yaitu sistem mikrokontroler yang frekuensi kerja dalam chip sama dengan frekuensi kristal untuk osilator tanpa memerlukan rangkaian pembagi frekuensi setelah osilator yang diperlukan untuk memperoleh perbedaan fase dari *clock*, sehingga AVR 12 kali lebih cepat dibanding MCS51. fungsi-fungsi chip yang lain sampai terjadi reset atau interupsi dari luar.

Berbagai karakteristik yang tersedia dalam IC ATmega8 adalah sebagai berikut:

- 8K bytes *In-System Programmable Flash*
-

- 512 bytes EEPROM (*Electrical Erasable Programmable Read Only Memory*)
- 512 bytes SRAM (*Static Random Access Memory*)
- 23 jalur I/O *general-purpose*
- 32 x 8 *general-purpose working register*
- *Timer/Counter* yang fleksibel dengan mode pembanding
- Interupsi internal dan eksternal
- Pemrograman serial UART (*Universal Asynchronous Receiver and Transmitter*)
- Serial Port SPI (*Serial Peripheral Interface*)

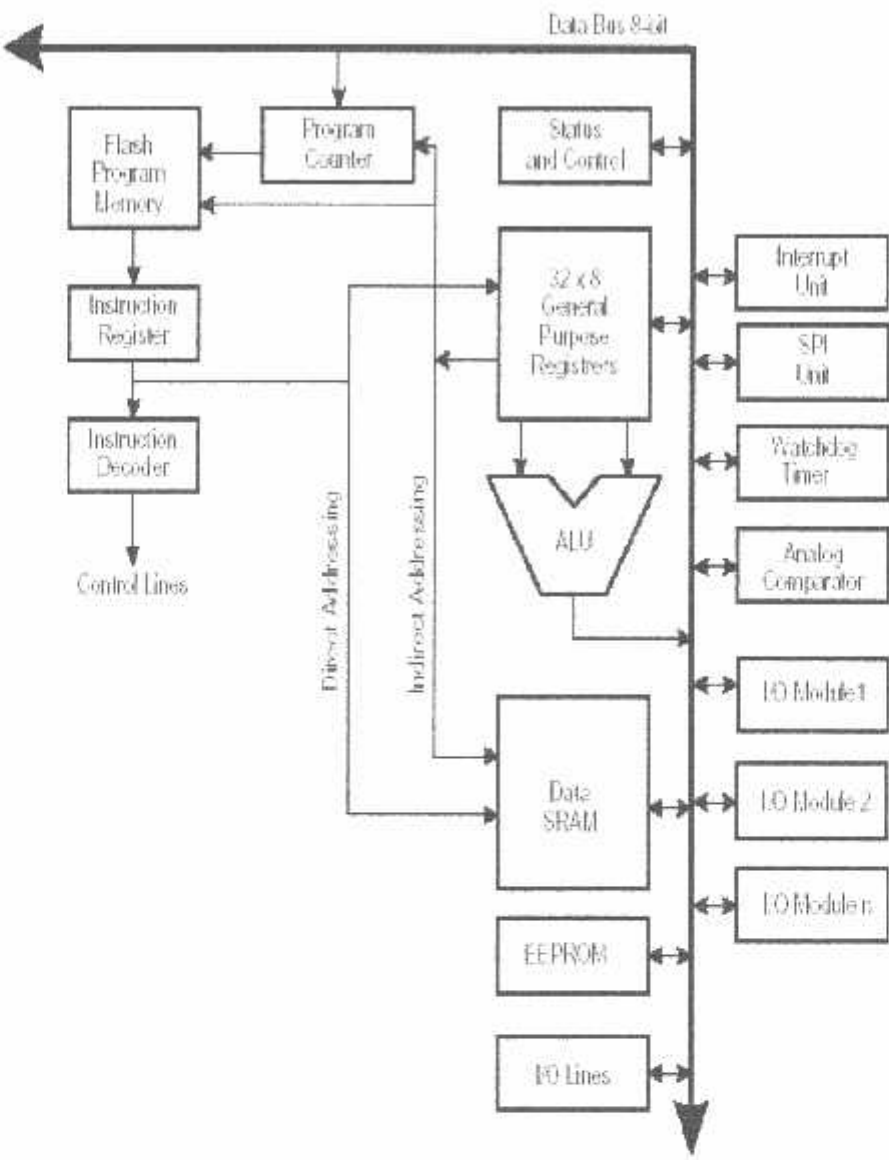
ATmega8 mempunyai dua buah power-save mode yang dapat diatur melalui software, yaitu:

➤ Idle Mode

Menghentikan CPU sementara SRAM, Timer/ Counter, port SPI, dan sistem tetap berfungsi.

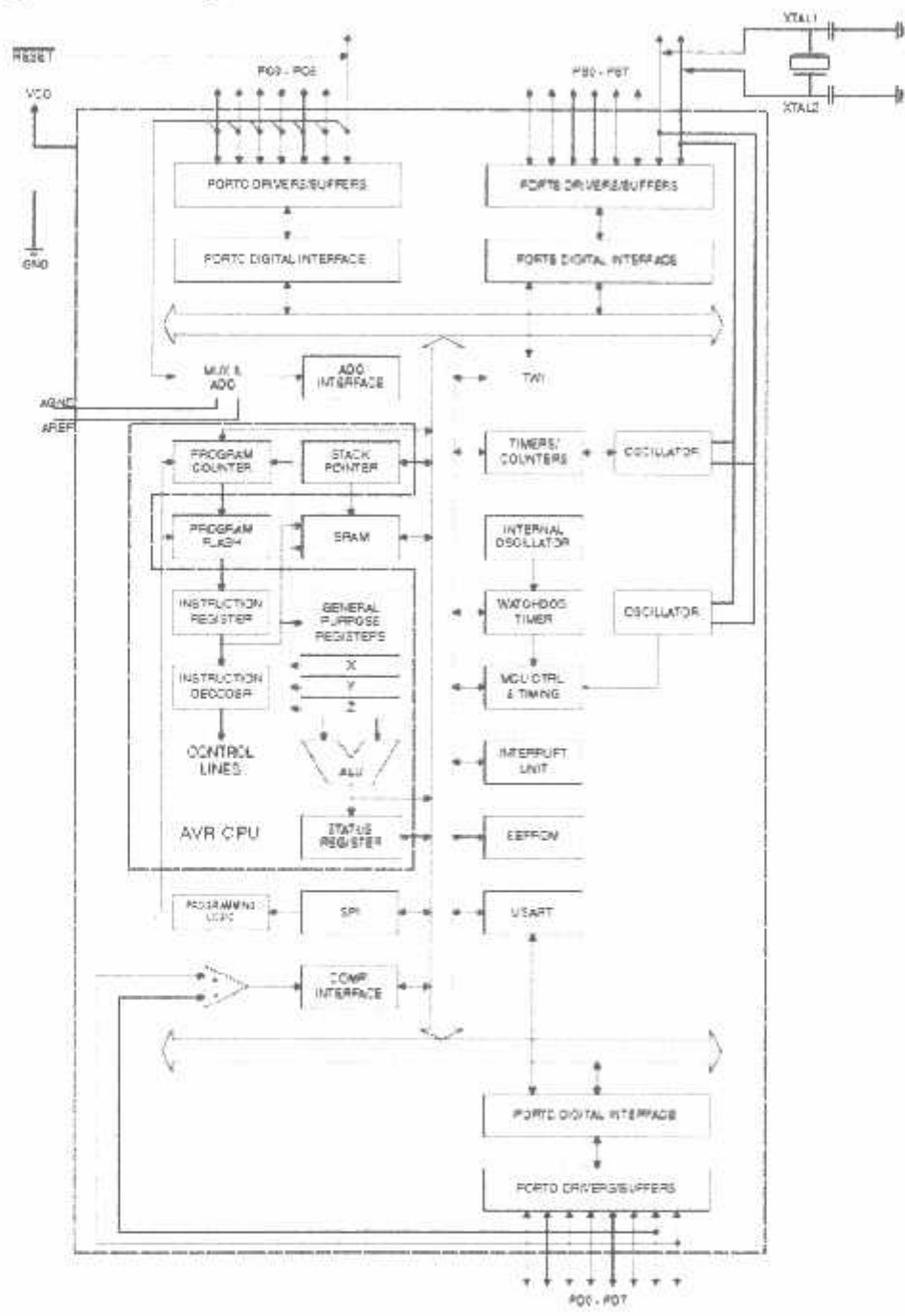
➤ Power-Down Mode

Menyimpan isi register dan menahan osilator untuk tidak mengaktifkan



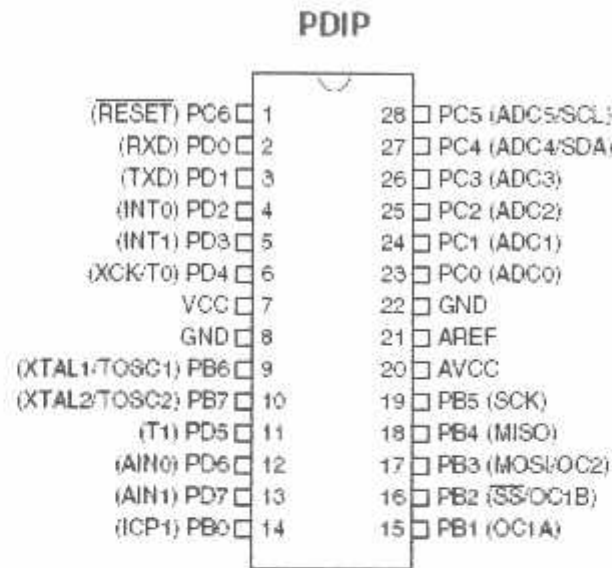
Gambar 2.2 Arsitektur AVR ATmega8^[3]

Figure 1. Block Diagram



Gambar 2.3 Blok Diagram AVR ATmega8^[3]

2.4.2 Konfigurasi Pin



Gambar 2.4 Konfigurasi Pin ATmega^[3]

Deskripsi Pin:

- Vcc: Tegangan Supply
- Gnd: Ground
- Port A (PA0-PA7): Port dua arah I/O 8-bit, kaki portnya dapat menyediakan resistor *pull-up* internal (dipilih untuk masing-masing bit). Port A juga dapat mengendalikan tampilan LED secara langsung.
- Port B (PB0-PB7): Port dua arah I/O 8-bit dengan resistor *pull-up* internal, digunakan pada fungsi-fungsi khusus dari karakteristik ATmega8.
- Port C (PC0-PC7): Port dua arah I/O 8-bit dengan resistor *pull-up* internal, digunakan sebagai alamat keluaran saat SRAM eksternal digunakan.
- Port D (PD0-PD7): Port dua arah I/O 8-bit dengan resistor *pull-up* internal, digunakan untuk berbagai karakteristik khusus dari ATmega8.

- RESET: Input reset, jika kaki pinnya mendapat input 0 (low) dalam jangka waktu lebih dari 50 ns maka akan menghasilkan kondisi reset, hal ini terjadi jika clock tidak berfungsi.
- XTAL1: Input untuk *inverting oscillator amplifier*.
- XTAL2: Output dari *inverting oscillator amplifier*.
- ICP: pin input untuk Timer/Counter1, berfungsi sebagai penangkap masukan (*input capture*).
- OC1B: Pin output untuk Timer/Counter1, berfungsi sebagai output compareB.
- ALE: *Address Latch Enable*, berfungsi sebagai pengunci alamat ketika memori eksternal digunakan. ALE berfungsi untuk mengunci logic 0 (low) pada alamat yang diminta ke dalam pengunci alamat selama siklus akses pertama dan kaki AD0-AD7 digunakan pada siklus yang kedua.

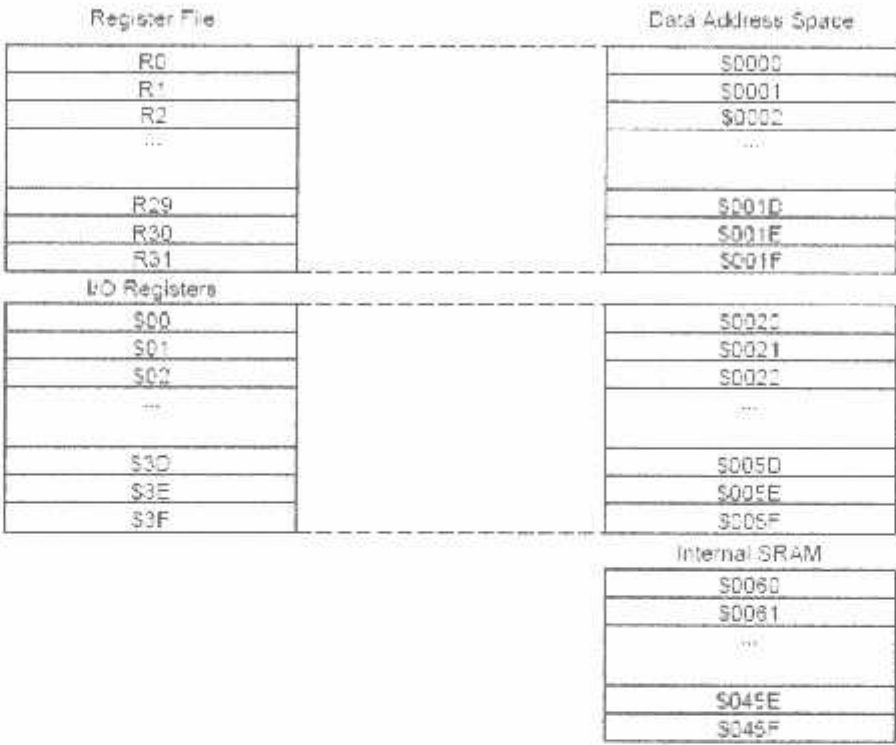
AVR dibangun atas dasar arsitektur Harvard, dimana program dan data ditempatkan pada memori yang berlainan dengan cara menyediakan saluran data untuk memori-program yang terpisah dari saluran data untuk memori-data.

2.4.3. Peta Memori

AVR Atmega8 memiliki ruang pengalamatan memori data dan memori program yang terpisah. Memori data terbagi menjadi 3 bagian, yaitu 32 register umum, 64 buah register I/O, dan 1024 byte SRAM *internal*.

Register keperluan umum menempati space data pada alamat terbawah, yaitu \$00 sampai \$1F. Sementara itu, register khusus untuk menangani I/O dan control terhadap mikokontroler menempati 64 alamat berikutnya, yaitu mulai dari \$20 hingga \$5F. Register tersebut merupakan register yang khusus digunakan

untuk mengatur fungsi terhadap peripheral mikrokontroler, seperti control register, timer/counter/, fungsi-fungsi I/O, dan sebagainya. Alamat memori berikutnya digunakan untuk SRAM 1024 byte, yaitu pada lokasi \$60 sampai dengan \$45F. Konfigurasi memori data ditunjukkan pada gambar dibawah ini:

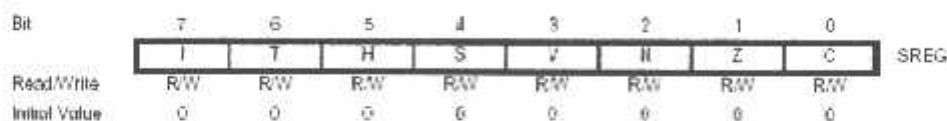


Gambar 2.5 Data Memory Map^[3]

Memori program yang terletak dalam *Flash System Reprogrammable* Flash mempunyai 8 K byte karena setiap instruksi memiliki lebar 16-bit atau 32-bit. AVR Atmega8 memiliki 4K byte x 16-bit *Flash* dengan alamat mulai dari \$00 sampai \$FFF. AVR tersebut memiliki 12-bit *Program Counter* sehingga mampu mengalami isi *Flash*. Selain itu, AVR Atmega8 juga memiliki memori data berupa EEPROM 8-bit sebanyak 512 byte. Alamat EEPROM dimulai dari \$000 sampai \$1FF.

2.4.4. Status Register (SREG)

Status register adalah register berisi status yang dihasilkan pada setiap operasi yang dilakukan ketika suatu instruksi dieksekusi. SREG merupakan bagian dari inti CPU mikrokontroler.



Gambar 2.6 Status Register^[3]

Keterangan dari bit SREG adalah :

- Bit7-I: *Global Interrupt Enable*

Bit harus diset untuk mengenable interupsi. Setelah itu, baru dapat mengaktifkan interupsi mana yang akan digunakan dengan cara mengenable bit control register yang bersangkutan secara individu. Bit akan dihapus apabila terjadi suatu interupsi, serta akan diset kembali oleh instruksi RETI.

- Bit6-T: *Bit Copy Storage*

Instruksi meng-copy bit BLD (Bit Load) dan BST (Bit Storage) menggunakan bit-T sebagai sumber dan tujuan pada operasi bit. Suatu bit dalam register GPR dapat disalin ke bit T menggunakan instruksi BST, dan sebaliknya bit T dapat disalin kembali ke suatu bit dengan register GPR menggunakan instruksi BLD.

- Bit5-H: *Half Carry Flag*

- Bit4-S: *Sign Bit, S=N∨V*

Bit-S merupakan hasil operasi EOR antara flag (-) N dan dua komplemen overflow flag V.

- Bit3-V: *Two's Complement Overflow flag*

Bit berguna untuk mendukung operasi aritmatika.

- Bit2-N: *Negative Flag*

Apabila suatu operasi menghasilkan bilangan (-), maka *flag -N* akan diset.

- Bit1-Z: *Zero Flag*

Bit-akan diset bila hasil operasi yang diperoleh adalah nol.

- Bit0-C: *Carry Flag*

Apabila suatu operasi akan menghasilkan carry, maka bit akan diset.

2.4.5. Register I/O

Semua port pada AVR memiliki kebenaran fungsional *read-modify-write* ketika digunakan sebagai port I/O umum. Ini berarti bahwa arah dari satu pin port dapat diubah-ubah dalam program secara byte atau hanya bit tertentu. Mengubah sebuah keluaran bit I/O dapat dilakukan menggunakan perintah cbi(clear bit I/O) untuk menghasilkan output low dan perintah sbi(set bit I/O) untuk menghasilkan output high. Pengubahan secara byte dilakukan dengan perintah in atau out yang menggunakan register bantu.

A. Port A

Tiga lokasi alamat memori I/O dilokasikan pada port A, masing-masing adalah register data-port A, \$1B (\$3B), register data direction (register pengarah data) DDRA, \$1A (\$3A), dan pin input port A-PIN A, \$19 (\$39). Pin-pin port A memiliki fungsi alternatif yang terhubung pada pilhan data

eksternal SRAM. Port A dapat dikonfigurasi menjadi multiplexed low order alamat/databus selama akses ke data memori eksternal.

- B. Tiga lokasi alamat memori I/O yang dilokasikan pada port D, masing-masing adalah register data-PORTC, \$18 (\$18), register pengarah data=DDRB, \$17 (\$37), dan pin input port B-PINB, \$16 (\$36).
- C. Tiga lokasi alamat memori I/O yang dilokasikan pada port C, masing-masing adalah register data –PORTC, \$15 (\$35), register pengarah data –DDRC, \$14 (\$34), dan pin input port C-PINC, \$13 (\$33).
- D. Tiga lokasi alamat memori I/O yang dilokasikan pada port D, masing-masing adalah register data –PORTD, \$12 (\$32), register pengarah data –DDRD, \$11 (\$31), dan pin input port D-PIND, \$10 (\$30).

2.4.6 Osilator

Sumber clock dapat diatur dengan dua cara yaitu osilator internal dan osilator eksternal. Pengaturan osilator eksternal dilakukan dengan menambahkan kristal keramik sesuai kebutuhan. Untuk osilator internal Atmega8 memiliki 4 nilai yaitu 1, 2, 4, 8 Mhz. Penggunaan osilator internal menggunakan register OSCCAL, untuk 1 Mhz alamat registernya adalah 0X0000, untuk 2 Mhz alamat registernya adalah 0X0001, untuk 4 Mhz alamat registernya adalah 0X0002, untuk 8 Mhz alamat registernya adalah 0X0003.

2.4.5. Interupsi

Interupsi kondisi yang membuat CPU berhenti dari rutinitas yang sedang dikerjakan (rutin utama) untuk mengerjakan rutin lain (rutin interupsi). AVR Atmega8 memiliki 19 sumber interupsi.

A. Pada AVR terdapat 3 pin untuk interupsi eksternal, yaitu INT0, INT1, INT2. Interupsi eksternal dapat dibangkitkan apabila terdapat perubahan logika atau logika 0 pada pin interupsi. Pengaturan kondisi keadaan yang menyebabkan terjadinya interupsi eksternal diatur oleh register MCUCR(MCU Control Register). Yang terlihat pada tabel dibawah ini:

Bit	7	6	5	4	3	2	1	0	
	SE	SM2	SM1	SM0	ISC11	ISC10	ISC01	ISC00	MCUCR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	1	0	1	0	0	0	

Gambar 2.7 Register MCUCR^[3]

- Bit penyusunnya dapat dijelaskan sebagai berikut:
- B. Bit ISC11 dan ISC10 bersama-sama menentukan kondisi yang dapat menyebabkan interupsi eksternal pada pin INT1.
 - C. Bit ISC01 dan ISC00 bersama-sama menentukan kondisi yang dapat menyebabkan interupsi eksternal pada pin INT0.

Pemilihan pengaktifan interupsi eksternal diatur oleh register GICR(General Interupsi Control Register) yang terlihat seperti gambar berikut:

Bit	7	6	5	4	3	2	1	0	
	INT1	INT0	-	-	-	-	IVSEL	IVCE	GICR
Read/Write	R/W	R/W	R	R	R	R	R/W	R/W	
Initial Value	0	1	1	0	1	0	0	1	

Gambar 2.8 General Interrupt Control Register^[3]

Bit penyusunnya dapat dijelaskan sebagai berikut:

- A. Bit INT1 adalah bit untuk mengaktifkan interupsi eksternal 1. Apabila bit tersebut diberi logika 1 dan bit-1 pada SREG juga satu, maka interupsi eksternal 1 akan aktif.
- B. Bit INT0 adalah bit untuk mengaktifkan interupsi eksternal 0. Apabila bit tersebut diberi logika 1 dan bit-1 pada SREG juga satu, maka interupsi eksternal 0 akan aktif.
- C. Bit INT1 adalah bit untuk mengaktifkan interupsi eksternal 2. Apabila bit tersebut diberi logika 1 dan bit-1 pada SREG juga satu, maka interupsi eksternal 2 akan aktif.

Program interupsi dari masing-masing jenis interupsi eksternal akan dimulai dari vektor interupsi pada masing-masing jenis. Untuk inisialisasi awal interupsi, perlu dituliskan terlebih dahulu vektor interupsi dari interupsi yang terdapat pada sistem. Vektor interupsi adalah nilai yang disimpan ke program counter pada saat terjadi interupsi sehingga program akan menuju ke alamat yang ditunjukkan oleh program counter.

2.4.6. Timer/Counter 2

Timer/counter 2 adalah 8 bit timer/counter yang multifungsi. Deskripsi untuk timer/counter 2 pada Atmega8 adalah sebagai berikut:

- A. Sebagai counter 1 kanal
 - B. Timer dinolkan saat *match compare(auto reload)*
 - C. Dapat menghasilkan gelombang PWM dengan *glitch free*
 - D. Frekuensi generator
 - E. Prescaler 10 bit untuk timer
-

F. Interupsi timer yang disebabkan timer *overflow* dan *match compare*

2.4.7 Register TIMSK

Selain register diatas terdapat pula register TIMSK (Timer/Counter Interrupt Mask Register).

Bit	7	6	5	4	3	2	1	0	
	OCIE2	TOIE2	OCIE1	OCIE1A	OCIE1B	TOIE1	–	TOIE0	TIMSK
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

Gambar 2.9. Register TIMSK^[3]

Penjelasan untuk setiap bit adalah :

- A. Bit 0-TOIE0 : Timer/counter 0 Overflow Interrupt enable
Jika bit tersebut diberi logika satu dan bit i SREG juga set, maka dilakukan enable interupsi Overflow Timer/Counter 0.
- B. Bit 1-OCIE0 : Timer/counter 0, Output Compare Match Interrupt Enable.
Jika bit tersebut diberi logika satu dan bit i SREG juga set, maka dilakukan enable interupsi Output Compare Match Timer/Counter 0.
- C. Bit 2-TOIE0 : Timer/counter 0 Overflow Interrupt enable
Jika bit tersebut diberi logika satu dan bit i SREG juga set, maka dilakukan enable interupsi Overflow Timer/Counter 1.
- D. Bit 3-OCIE1B:Timer/counter 1 Output Compare B Match Interrupt Enable
Jika bit tersebut diberi logika satu dan bit i SREG juga set, maka dilakukan enable interupsi Output Compare Match B Timer/Counter 1.
- E. Bit 4-OCIE1A:Timer/counter1 Output Compare A Match Interrupt Enable
Jika bit tersebut diberi logika satu dan bit i SREG juga set, maka dilakukan enable interupsi Output Compare Match A Timer/Counter 1.

F. Bit 5-TICIE1 : Timer/counter 1 Input Capture Interrupt enable

G. Bit 6-TOIE2 : Timer/counter 2 Overflow Interrupt enable

Jika bit tersebut diberi logika satu dan bit i SREG juga set, maka dilakukan enable interupsi Overflow Timer/Counter 2.

H. Bit 7-OCIE2 : Timer/counter 2 Output Compare Match Interrupt Enable

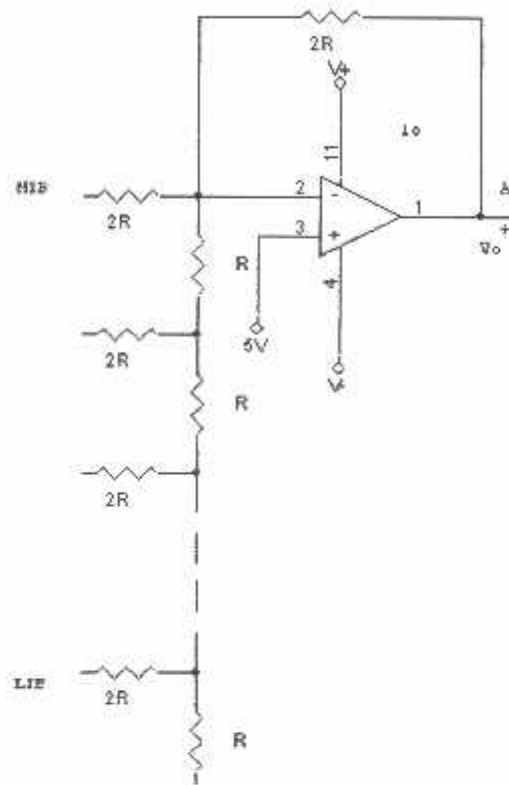
Jika bit tersebut diberi logika satu dan bit i SREG juga set, maka dilakukan enable interupsi Overflow Timer/Counter 2.

2.5 Digital To Analog Converter (DAC)

Keluaran-keluaran yang berbentuk sinyal analog dari suatu system computer dapat diperoleh dengan menggunakan converter digital ke analog, yang luas dikenal dengan istilah DAC (*Digital to Analog Converter*). DAC akan mengkonversi sebuah sinyal digital menjadi bentuk sinyal analog.

Salah satu susunan rangkaian converter digital ke analog adalah DAC dengan pembobotan biner (R-2R). Dalam implementasi pembobotan biner kedua, hanya dua nilai resistor yang berbeda yang digunakan untuk memperoleh arus-arus pembobotan biner. Implementasi pembobotan biner dapat dilakukan dengan menggunakan rangkaian R-2R bersama-sama dengan sebuah komponen penguat dan saklar CMOS. Bergantung pada posisi saklar CMOS, arus-arus pembobotan biner dapat mengalir ke resistor umpan balik atau terminal ground. Arus yang mengalir ke resistor umpan balik akan berkontribusi pada tegangan keluaran rangkaian. Nilai-nilai bit dari sinyal digital akan menentukan posisi saklar. Sebuah logika yang bernilai 1 pada bit yang paling signifikan akan mengakibatkan saklar CMOS yang berkorespondensi dan terhubung ke terminal masukan pembalik

buffer. Arus $V_{ref}/2$ akan mengalir ke titik penjumlahan buffer yang akan membangkitkan sebuah tegangan keluaran.



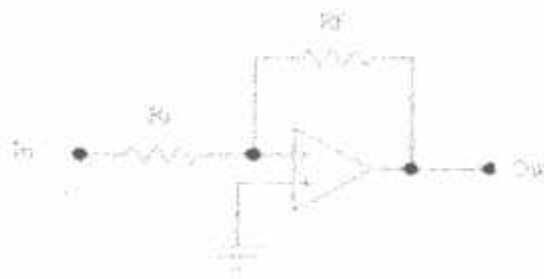
Gambar 2.10. Blok R-2R Ladder

Logika yang bernilai 1 pada bit yang paling signifikan berikutnya akan mengoperasikan saklar CMOS berikutnya dan mengakibatkan arus $V_{ref}/4R$ mengalir menuju ke titik penjumlahan buffer. Dengan demikian besar arus yang mengalir akan bernilai setengah untuk setiap nilai binre bit yang bernilai setengah dari nilai sebelumnya, sehingga tegangan keluaran rangkaian akan berbanding lurus terhadap nilai sinyal digital. Keuntungan dari rangkaian R-2R adalah hanya memerlukan dua nilai resistor. Pencapaian kondisi matching di antara sejumlah resistor yang memiliki nilai R dan 2R akan lebih mudah.

2.6 Op Amp Inverting

Pada penguat inverting tegangan input diberikan pada tegangan terminal input negatif sedangkan terminal positifnya dihubungkan dengan ground. Pada perancangan ini penguat inverting difungsikan sebagai *buffer*, dan menggunakan ic op amp LM741.

Rangkaian dasar penguat inverting adalah seperti yang ditunjukkan pada gambar 2-11 :



Gambar 2.10. Rangkaian Op Amp Inverting

Penguatannya dapat diperoleh dari persamaan dibawah ini:

$$A = \frac{V_{out}}{V_{in}}$$

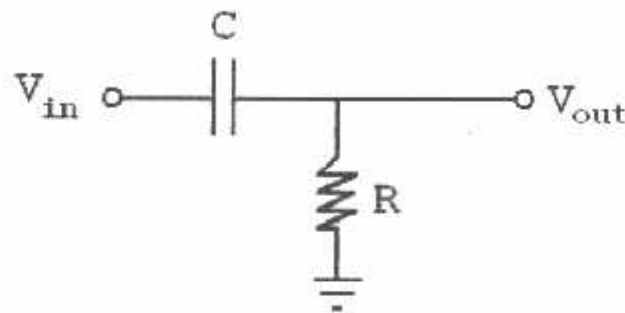
$$A = \left[-\frac{R_f}{R_i} \right]$$

$$A = \left[-\frac{R_f}{R_i} \right] \times V_{in}$$

2.7 Filter

Filter (tapis atau penyaring) didefinisikan sebagai rangkaian listrik yang dirancang untuk melewatkan atau meloloskan arus bolak-balik yang dibangkitkan pada frekuensi tertentu serta memperlemah semua arus bolak-balik yang dibangkitkan dengan frekuensi-frekuensi yang lain.

Suatu rangkaian filter LPF(*low pass filter*) sederhana yang terdiri dari komponen kapasitor (C) dan resistor (R) . Rangkaian tersebut pada intinya merupakan sebuah rangkaian pembagi tegangan yang terdiri atas sebuah komponen *resistif* (resistor) yang terhubung secara seri dengan sebuah kapasitor.



Gambar 2.12. Rangkaian Low Pass Filter

Tegangan keluaran rangkaian , e_o , diambil pada titik ujung komponen kapasitor , tegangan keluaran ini berhubungan dengan tegangan masukan , e_i , sesuai persamaan :

$$e_o = -jX_c e_i / (R - jX_c)$$

Meskipun tegangan masukan , e_i , dapat dijaga konstan sepanjang kisaran dari frekuensi-frekuensi masukan , *amplitude* tegangan keluaran , e_o , akan tetap berkurang jika frekuensi sinyal masukan bertambah . Hal ini terjadi karena *reaktansi kapasitif* kapasitor $X_c = 1/2\pi fc$ bervariasi secara kebalikan terhadap frekuensi , f , serta memiliki kecenderungan untuk bernilai tak terhingga pada frekuensi yang sama dengan nol dan bernilai nol pada frekuensi yang sangat tinggi (tak terhingga) , dengan demikian pada frekuensi-frekuensi yang sangat tinggi , secara efektif tidak akan terdapat tegangan keluaran rangkaian .

Pada frekuensi rendah *rasio* voltase keluaran terhadap voltase masukan tetap berada pada level yang konstan hingga mencapai frekuensi f_c . Frekuensi ini dikenal sebagai frekuensi cut off yaitu frekuensi dimana *reaktansi* kapasitor memiliki magnitude yang sama dengan resistansi rangkaian yang dirumuskan oleh persamaan :

$$f_c = \frac{1}{2\pi RC} \text{ Hz}$$

Untuk frekuensi-frekuensi yang lebih rendah dari f_c , *gain* rangkaian adalah konstan dan frekuensi-frekuensi yang lebih besar daripada f_c , *gain* rangkaian dapat dianggap sangat rendah sehingga sinyal-sinyal dengan frekuensi ini akan diredam rangkaian.

2.8 Komunikasi Serial

Untuk mengirimkan kode ASCII dari PC (*Personal Computer*) dan untuk menerima data dari Demodulator, digunakan port serial RS-232, dimana pada port ini terdapat fungsi-fungsi untuk Tx (pengiriman data), Rx (penerimaan data) dan TX/RX (pemilihan mode Tx atau Rx). Untuk melakukan transfer kode ASCII dari PC ke mikrokontroler digunakan IC MAX232, yang merupakan rangkaian terpadu untuk antarmuka komunikasi serial.



Gambar 2.13. RS 232 (MAXIM)^[4]

RS MAX232 tersusun dari 2 bagian yaitu RS232 *Line Driver* yang berfungsi mengubah level tegangan TTL ke level tegangan RS232 dan *RS232 Line Receiver* yang berfungsi mengubah level tegangan RS232 ke level tagangan TTL.

Alat ini merupakan standart yang dipakai untuk mengirimkan aliran bit seri antar interface. Komunikasi serial dapat dibagi menjadi dua sifat dasar pola komunikasi. Yang pertama adalah komunikasi asinkron, dimana pola-pola bit tertentu dipakai untuk memisahkan bit-bit karakter. Yang kedua adalah komunikasi seri sinkron, yang memungkinkan karakter dikirim secara berurutan, namun membutuhkan karakter sinkronisasi khusus pada awal setiap karakter dan karakter semu khusus untuk dikirimkan ketika tidak ada informasi yang sedang dikirim.

2.8.1 Protokol Komunikasi pada RS 232

Beberapa protokol dalam interface RS 232 adalah:

- Start Bit

Merupakan sebuah bit dengan logic “0” dimana bit ini yang menandakan bahwa akan ada karakter atau data yang mengikutinya. Bit ini langsung diberikan oleh sinyal device tanpa harus mensetnya terlebih dahulu.

- Data Bit

Merupakan bit yang mewakili dari karakter yang diikutinya *data bit* ini dapat diset sepanjang antara 5 sampai 8 bit.

- Pariti Bit

Merupakan bit yang digunakan sebagai *error checking* pada *receiver* , apabila terjadi kesalahan maka *receiver* akan menset *error flag* (parity

error) pada special register. *Parity bit* ini menghitung jumlah data yang berlogik '1' pada data bit. Perhitungan jumlah data bit tersebut tergantung dari jenis *parity* yang diset. Untuk *parity EVEN* maka jumlah data bit yang berlogik '1' ditambah dengan *parity bit* akan menghasilkan jumlah yang ganjil. Sedangkan untuk *parity MARK* merupakan *parity bit* selalu berlogik '1' begitu pula pada space, *parity bit* selalu berlogik '0' dan *parity NONE* disini *parity bit* yang diabaikan.

- Stop Bit

Merupakan bit yang menandakan akhir dari suatu paket data (biasanya 1 byte data). Seperti pada start bit, bit ini langsung diberikan dari serial device. *Stop bit* ini dapat diset panjangnya menjadi satu bit, satu setengah dan dua bit.

- Baud Rate

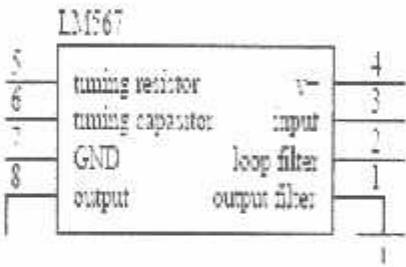
Sebenarnya *baud rate* berarti pergantian kondisi tiap detik (*State Change of the Line persecond*), tetapi karena hanya ada 2 kondisi pada serial (*logic 0 dan 1*) maka dapat juga digunakan untuk menunjukkan kecepatan dari transmisi (*bits per second*).

- Tx Buffer : berfungsi menampung dan menyimpan data yang akan dikirim keluar. Data ini dikirim oleh CPU ke Tx Buffer setelah memastikan diperolehkannya melakukan pengiriman.
 - Rx Buffer : berfungsi menampung dan menyimpan data yang akan diterima. Data yang akan diterima lebih dahulu ditampung dalam Rx Buffer.
-

2.9 LM567

2.9.1. Arsitektur

LM567 dan LM567C adalah dekoder nada serba guna yang dirancang untuk menyediakan suatu tombol transistor disaturasi ke *ground* ketika suatu sinyal masukan masuk dalam *passband* [itu]. Rangkaian terdiri dari suatu *detektor* I dan Q yang dikontrol oleh suatu voltase dari osilator yang dikendalikan yang menentukan frekuensi pusat dari dekoder. Komponen eksternal digunakan dengan bebas mengeset frekuensi pusat, *bandwidth* dan *delay* output.



Gambar 2.14 Konfigurasi Pin LM567^[5]

Deskripsi Pin:

- Vcc: Tegangan Supply
- Gnd: Ground
- *Output Filter* : Port A (PA0-PA7): Port dua arah I/O 8-bit, kaki portnya dapat menyediakan resistor pull-up internal (dipilih untuk masing-masing bit). Port A juga dapat mengendalikan tampilan LED secara langsung.
- *Loop Filter* : Port B (PB0-PB7: Port dua arah I/O 8-bit dengan resistor pull-up internal, digunakan pada fungsi-fungsi khusus dari karakteristik ATmega8.

- *Input* : Port C (PC0-PC7): Port dua arah I/O 8-bit dengan resistor pull-up internal, digunakan sebagai alamat keluaran saat SRAM eksternal digunakan.
- *Output* : Port D (PD0-PD7): Port dua arah /O 8-bit dengan resistor pull-up internal, digunakan untuk berbagai karakteristik khusus dari ATmega8.
- *Timing Capasitor* : RESET: Input reset, jika kaki pinnya mendapat input 0 (low) dalam jangka waktu lebih dari 50 ns maka akan menghasilkan kondisi reset, hal ini terjadi jika clock tidak berfungsi.
- *Timing Resistor* : XTAL1: Input untuk inverting oscillator amplifier.

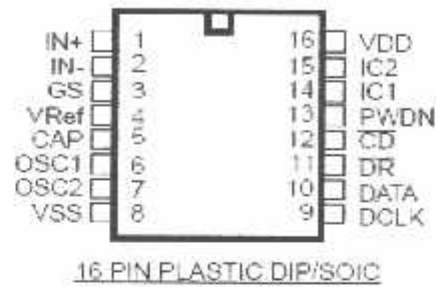
2.10 MT8841

2.10.1 Arsitektur

Calling Number Identification Circuit (CNIC) MT8841 adalah sebuah IC CMOS yang menyediakan sebuah interface ke berbagai *calling line information delivery services* yang memakai skema transmisi data voiceband 1200 baud BELL 202 atau CCITT V.23 FSK. CNIC menerima dan men-demodulasi sinyal dan data output kedalam sebuah *interface serial 3-wire* sederhana.

Secara khusus, FSK memodulasi data yang memuat informasi pada *calling line* dikirim sebelum menyiagakan bagian yang dipanggil atau selama interval diam antara dering pertama dan kedua memakai rekomendasi CCITT V.23 atau spesifikasi Bell 202. CNIC menerima dan men-demodulasi kedua sinyal CCITT V.23 dan BELL 202. Selama dengan data dan *clock serial*, CNIC menyediakan sebuah data ready signal untuk mengindukasikan penerimaan setiap karakter 8-bit yang dikirim dari kantor pusat. Data yang diterima dapat diproses secara eksternal

oleh sebuah mikrokontroller, disimpan dalam memory, atau ditampilkan, tergantung pada aplikasi.



Gambar 2.15 Konfigurasi Pin MT8841^[6]

Deskripsi Pin

- (1) IN+ :*Non-inverting Op-Amp(input)*
- (2) IN- :*Inverting Op-Amp(Input).*
- (3) GS :*Gain Select (Output).* Memberikan akses ke output op-amp untuk koneksi *resistor feedback.*
- (4) VRef :*Voltage Reference (Output).* Nominalnya $VDD/2$. dipakai untuk mengarahkan input op-amp.
- (5) CAP :*Capacitor.* Hubungkan kapasitor $0.1\mu F$ ke VSS.
- (6) OSC1 :*Oscillator (Input).* Koneksi resonator Crystal atau ceramic. Pin ini dapat dikendalikan langsung dari *sumber clock eksternal.*
- (7) OSC2 :*Oscillator (Output).* Koneksi resonator Crystal atau ceramic. Saat OSC1 dikendalikan oleh clock eksternal, pin ini dibiarkan terbuka.
- (8) VSS :*Power supply ground.*
- (9) DCLK :*Data Clock (Output).* Mengeluarkan sebuah clock terdiri dari 8 pulsa low pada 1202.8Hz (3.5795MHz dibagi dengan 2976). Tiap

pecahan clock diaktifkan oleh DATA *stop bit start bit sequence*. Saat input DATA 1202.8 baud, sisi positif tiap DCLK berdenyut bersamaan dengan tengah dari output bit data pada pin DATA. Tidak ada pulsa DCLK dibangkitkan selama start atau stop bits. Secara khusus, DCLK dipakai untuk clock kedelesaian data bit dari 10 bit data *word* kedalam sebuah *serial-to-parallel converter*.

- (10) DATA :*Data (Output)*. Serial data output menyesuaikan dengan input dan switching FSK pada input *baud rate*. Frekuensi tanda pada input sesuai dengan logika *high*, sementara frekuensi sela sesuai dengan logic low pada DATA output. Dengan tidak adanya input FSK, DATA berlogika *high*. Outpt ini bertahan sampai CD aktif.
 - (11) DR :*Data Ready (Open Drain Output)*. Output ini menjadi *low* setelah pulsa DCLK terakhir tiap word. Ini dapat digunakan untuk mengidentifikasi batasan data (8-bit word) pada *serial output stream*. Secara khusus, DR digunakan untuk menghalangi kedelapan data bit dari *serial-to-parallel converter* kedalam sebuah mikrokontroller.
 - (12) CD :*Carrier Detect (Open Drain Output)*. Sebuah logika *low* mengindikasikan bahwa sebuah *carrier* telah diberikan untuk waktu tertentu pada line. Sebuah *hysteresis* waktu disediakan untuk membolehkan *diskontinyu carrier* sesaat.
 - (13) PWDN :*Power Down (Input)*, *Active high*, Schmitt Trigger input, menurunkan daya devais termasuk input op-amp dan *oscillator*.
 - (14) IC1: *Internal Connection 1*, hubungkan ke VSS.
-

- (15) IC2 :*Internal Connection 2*. Dihubungkan secara internal, biarkan rangkaian terbuka.
 - (16) VDD: Tegangan power supply positif
-

BAB III

PERANCANGAN DAN PEMBUATAN ALAT

3.1 Pendahuluan

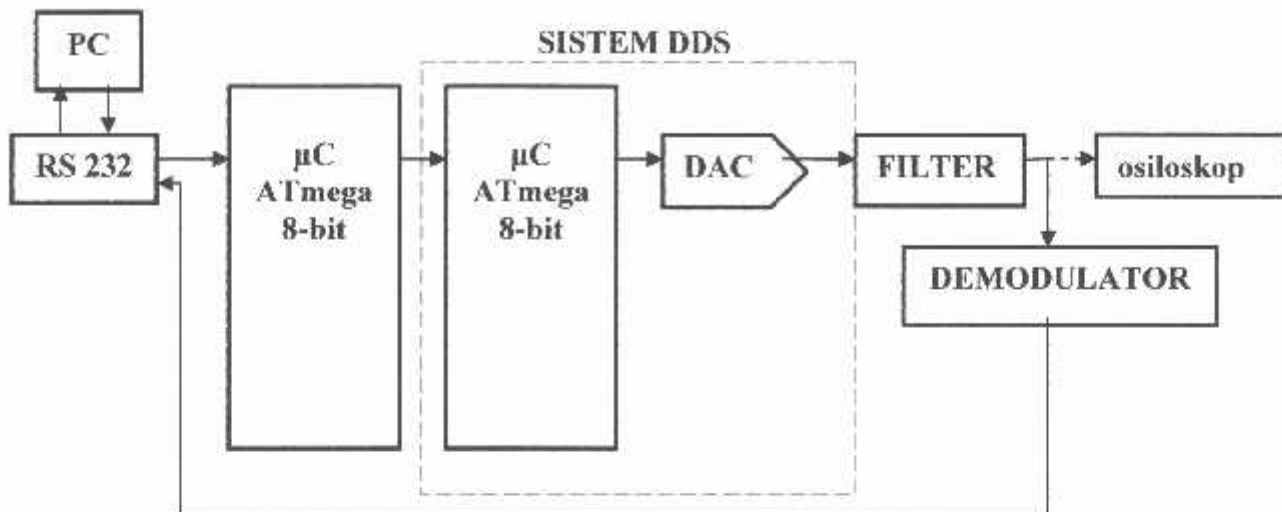
Bab ini akan membahas tentang perencanaan dan pembuatan alat yang meliputi perencanaan perangkat keras (*Hardware*) dan perangkat lunak (*Software*) dari modem multiple FSK dengan metode DDS. Perancangan secara keseluruhan dapat menjadi dua bagian, yaitu:

1. Perancangan perangkat keras (*Hardware*)
2. Perancangan perangkat lunak (*Software*)

Pada perancangan perangkat keras akan meliputi seluruh *peripheral* yang digunakan pada sistem ini. Pada perancangan perangkat lunak akan meliputi diagram alir dari *software* secara umum. Kedua perangkat ini dalam kerjanya akan saling menunjang satu sama lain.

3.2 Perancangan Perangkat Keras

Diagram blok sistem secara umum terdiri dari rangkaian modulator dan demodulator. Semua data masukan ke modulator dan data keluaran dari demodulator diolah PC. Modulator terdiri dari mikrokontroler dan DAC. rangkaian sistem modulator multiple FSK dengan Metode *Direct Digital Synthesis* (DDS) dan demodulator yang direncanakan ditunjukkan dalam Gambar 3.1.



Gambar 3.1 Blok Diagram Sistem

Fungsi dari masing-masing rangkaian subsistem dalam gambar di atas adalah sebagai berikut:

- PC

Berfungsi sebagai pemberi masukan data digital dari keyboard ke mikrokontroler dan untuk menampilkan data-data hasil modulator dan demodulator ,

- RS 232

Sebagai media komunikasi antara PC dan mikrokontroler , dimana data-data digital yang dikirim ke mikrokontroler dilakukan secara serial

- Mikrokontroler ATmega8

sebagai pengendali utama, akan direalisasikan dengan menggunakan perangkat lunak sesuai dengan bahasa pemrograman pada AVR ATmega8.

- DAC R-2R(*Digital to Analog Converter*)

Berfungsi untuk mengubah sinyal digital dari output mikrokontroler menjadi output analog berupa tegangan.

- Filter LPF(*Low Pass Filter*)

Berfungsi untuk menyaring sinyal keluaran dari DAC R-2R, agar keluaran yang dihasilkan lebih halus dan bagus..

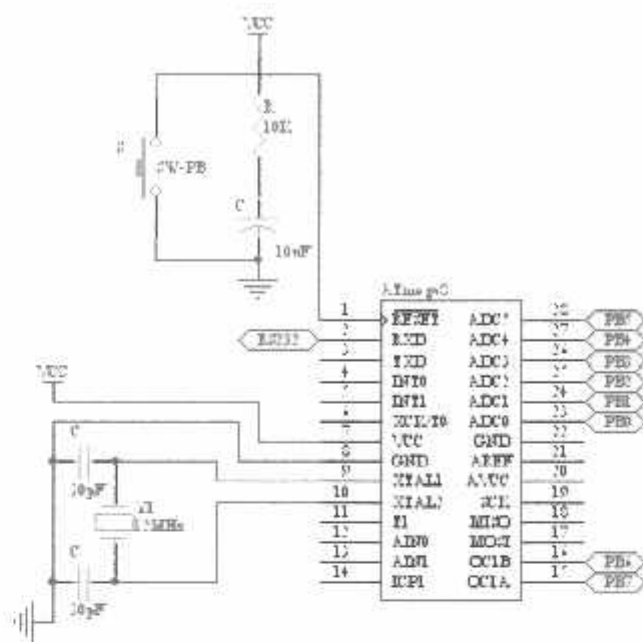
- Demodulator

Berfungsi sebagai penerima data analog yang dihasilkan modulator untuk bisa ditampilkan ke PC. Ic demodulator yang digunakan yaitu MT8841 dan LM567.

3.2.1 Perancangan Rangkaian Mikrokontroler ATmega8

3.2.1.1. Sistem Minimum ATmega8

Pada rangkaian ini komponen utamanya adalah unit Mikrokontroler ATmega8. Komponen ini merupakan sebuah *chip* tunggal sebagai pengolah data dan pengontrolan alat. Sebagai pengolah data dan pengontrolan sistem, pin-pin mikrokontroler ATmega8 dihubungkan pada rangkaian pendukung membentuk suatu minimum.



Gambar 3.2 Minimum Sistem Mikrokontroler ATmega8

3.2.1.2 Perancangan Rangkaian Clock

Mikrokontroler ATmega8 memiliki internal clock pada pin 9 (X1) dan pin 10 (X2) yang berfungsi sebagai sumber clock, dan diperlukan rangkaian tambahan untuk membangkitkan clock tersebut.

Dalam sistem ini digunakan dua buah kapasitor sebesar 30 pF dan kristal 12 MHz. Pada proses komunikasi serial antara mikrokontroler ATmega8 dengan PC terlebih dahulu ditentukan *baud rate* yang digunakan. Pada sistem ini digunakan *baud rate* sebesar 9600 bps dengan menggunakan $f_{osc} = 12\text{ MHz}$.

Dari persamaan (2-1) dapat dihitung nilai pada register TH1:

$$\begin{aligned} \text{Baud Rate} &= \frac{f_{osc}}{12 \times (256 - TH_1) \times 32} \\ 9600 &= \frac{11,0592\text{ Mhz}}{12 \times (256 - TH_1) \times 32} \end{aligned}$$

$$\begin{aligned}
 3686400 &= \frac{11,0592 \text{ Mhz}}{256 - TH_1} \\
 256 - TH_1 &= \frac{11,0592 \times 10^6}{3686400} \\
 TH_1 &= 256 - 3 \\
 &= 253 \\
 &= 0FDh
 \end{aligned}$$

3.2.1.3. Perancangan Rangkaian Reset

Untuk melakukan reset siste pada mikrokontroler Atmega8 dapat memanfaatkan pin reset. Pin tersebut dihubungkan dengan rangkaian reset eksternal. Untuk membangkitkan sinyal reset kapasitor dihubungkan dengan VCC dan sebuah resistor yang dihubungkan ke ground, sesuai dengan datasheet Atmega8 $t_{reset(min)}$ adalah sebesar $1,5 \mu s$

3.2.2. Komunikasi Serial RS232

Untuk mengirimkan kode ASCII dari PC (*Personal Computer*) dan untuk menerima data dari Demodulator, digunakan port serial RS-232, dimana pada port ini terdapat fungsi-fungsi untuk Tx (pengiriman data), Rx (penerimaan data) dan TX/RX (pemilihan mode Tx atau Rx).

Sebelum diinputkan ke PC dibutuhkan rangkaian *converter* tegangan. Mikrokontroler mempunyai output logika *high* dihasilkan dari tegangan 5 volt dan logika *low* sebesar 0 volt, tegangan ini akan sering mengakibatkan terjadinya kesalahan didalam pengiriman dan penerimaan data dikarenakan rugi-rugi dari kabel. RS 232 berfungsi untuk memperlebar *range* tegangan karena berada dikisaran +10V dan -10V, dengan range yang lebar ini kesalahan karena rugi-rugi

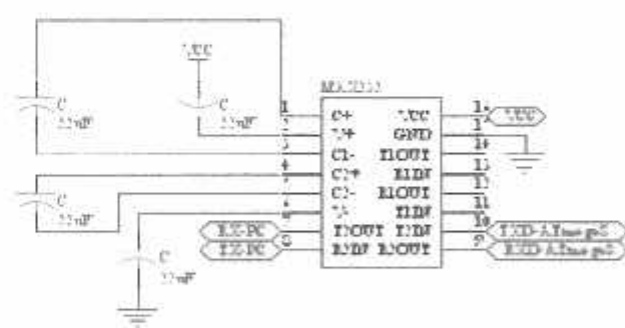
sistem komunikasi dari mikrokontroler ke PC tidak mempengaruhi nilai data yang dikirim.,

Pada proses penerimaan data pada perancangan alat , digunakan RS 232 sebagai penghubung antara PC dengan demodulator. Ini berfungsi untuk mengurangi terjadinya kesalahan pada proses penerimaan data,dikarenakan rugi-rugi dari kabel.

Untuk koneksi ke PC digunakan DB9, dimana pin 5 dihubungkan dengan ground, pin 2 dan pin 3 dihubungkan dengan relay yang akan memilih data yang diterima dari demodulator atau data yang akan dikirim ke PC.

Rangkaian komunikasi serial MAX232 yang gambar lengkapnya dapat dilihat pada gambar 3.3,berfungsi sebagai komunikasi serial untuk mengirimkan kode ASCII dari PC (*Personal Computer*) dan untuk menerima data dari Demodulator.

Rangkaian komunikasi serial MAX232 ditunjukkan dalam gambar 3-3 ini



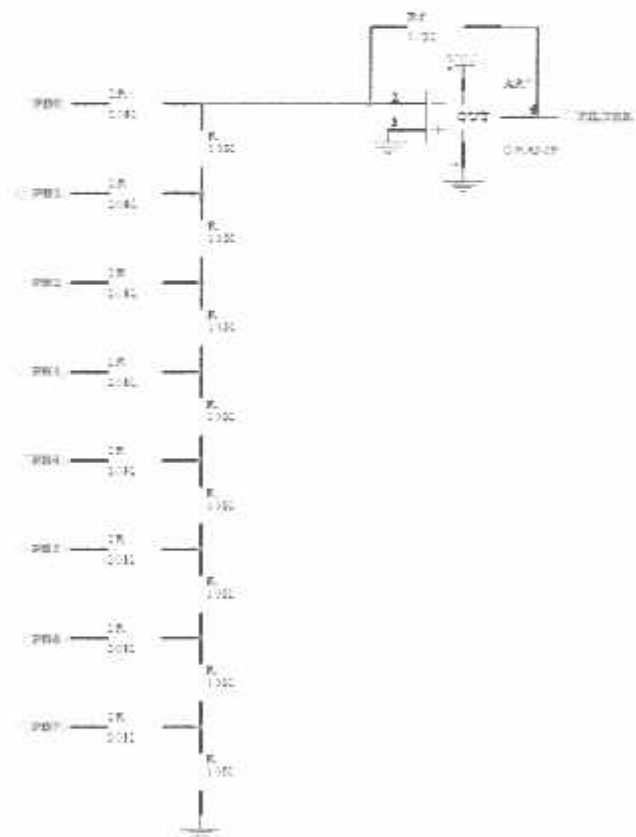
Gambar 3.3 Rangkaian RS232

Komponen utama rangkaian komunikasi serial ini adalah IC MX232 dan beberapa komponen pendukung. Untuk memperlebar range tegangan karena

berada dikisaran +10 dan -10, dengan *range* yang lebar ini kesalahan karena rugi-rugi sistem komunikasi tidak mempengaruhi nilai data yang dikirim.

3.2.3. Perancangan DAC(Digital/Analog Converter)R2R

Rangkaian DAC(Digital/Analog Converter) berfungsi untuk mengubah sinyal digital dari output *mikrokontroler* menjadi *output* analog berupa tegangan. DAC (Digital to Analog) adalah piranti pengubah sinyal digital menjadi sinyal analog.. DAC R2R ladder merupakan bentuk yang paling sederhana dari IC DAC yang banyak beredar di pasaran. DAC ini terdiri atas resistor yang dipasang berbentuk tangga. Nilai resistor yang dipergunakan adalah $R=10k$ dan $2R=20k$.



Gambar 3.4 Rangkaian DAC(Digital/Analog Converter)R2R

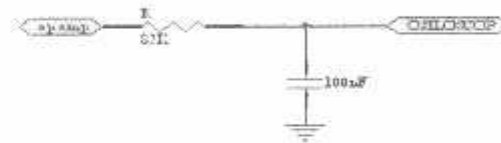
3.2.4 Perancangan Filter(LPF)

Sinyal yang keluar dari DAC di teruskan ke LPF (*Low Pass Filter*). LPF ini berfungsi untuk memperhalus bentuk gelombang sinus keluaran DAC . Rangkaian Filter yang menuju ke Demodulator.

$$f_c = \frac{1}{2\pi RC} \text{ Hz} \qquad 2200 = \frac{1}{2 * \pi * R * 100nF}$$

$$R = 0,72 \Omega$$

Gambar rangkaian LPF ditunjukkan dalam gambar 3-5 di bawah ini:



Gambar 3.5 Rangkaian Filter(*Low Pass Filter*)

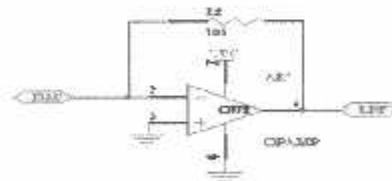
3.2.5 Perancangan Rangkaian Op Amp

Digunakan LM741 sebagai *Op Amp inverting* sebagai pembalik sinyal keluaran dari DAC dengan penguatan sebesar 1x dimana digunakan feedback $R_f = 10k$ Perhitungan R_f sebagai berikut:

$$R_f = -(V_{out} R_i) / V_{in}$$

$$= -(1.10) / -1$$

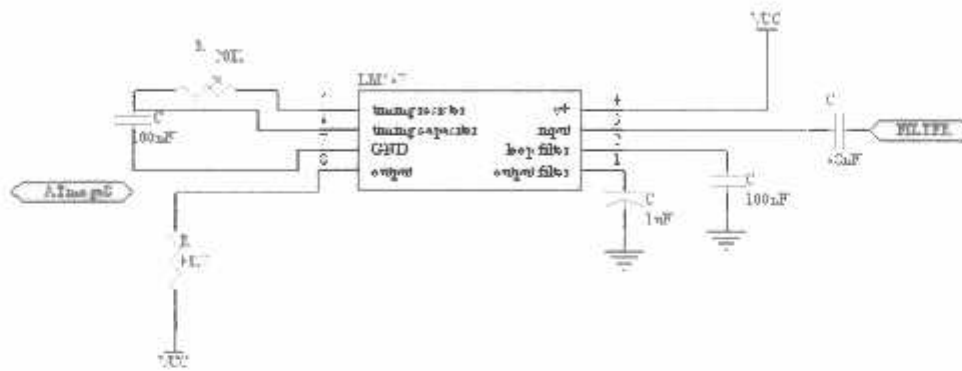
$$= 10 \text{ k}\Omega$$



Gambar 3.6 Rangkaian Op Amp Inverting

3.2.6 Perancangan Rangkaian Demodulator LM567

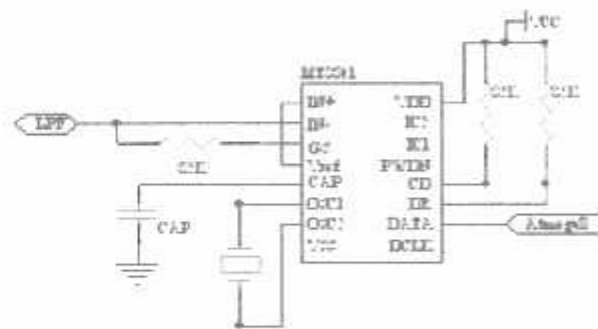
Rangkaian *demodulator* ini menggunakan LM567 yang berfungsi untuk mendemodulasikan keluaran dari *filter* yang berupa sinyal analog untuk bisa ditampilkan di PC.



Gambar 3.7 Rangkaian Demodulator LM567

3.2.7 Perancangan Rangkaian Demodulator MT8841

Rangkaian demodulator ini menggunakan IC MT8841 buatan Mitel untuk mendemodulasikan keluaran dari filter yang berupa sinyal analog untuk bisa ditampilkan di PC.



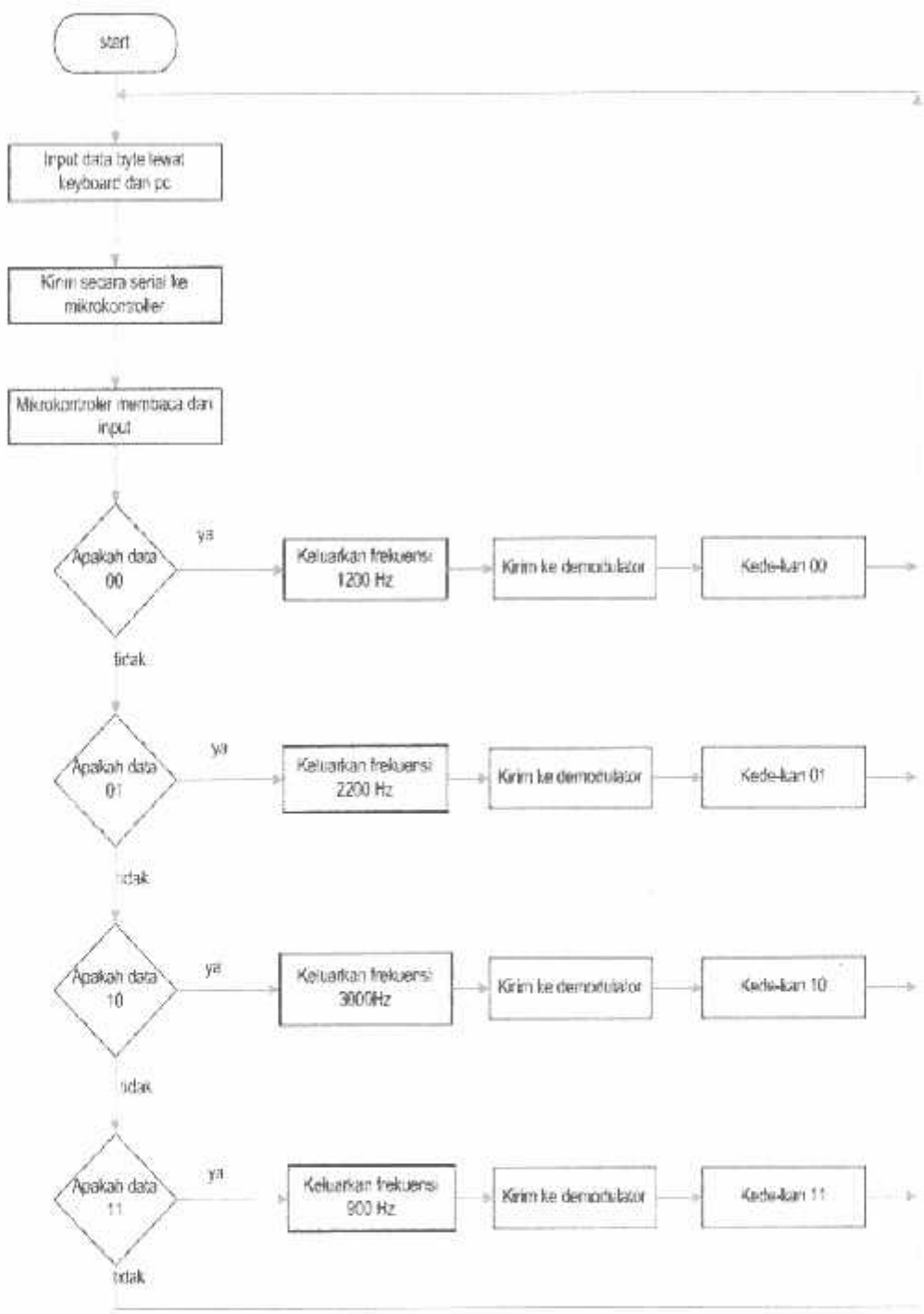
Gambar 3.8 Rangkaian Demodulator MT8841

3.3 Perancangan Perangkat Lunak

Perangkat lunak ini berdasarkan pengendali utama yaitu *mikrokontroler* ATmega8. Pembuatan perangkat lunak sistem aplikasi berdasarkan pada semua kejadian yang harus dikerjakan perangkat keras.

Dalam perancangan alat ini perangkat lunak yang digunakan adalah bahasa pemrograman C dan bahasa pemrograman Delphi7. Untuk *mikrokontroler* Atmega8 bahasa pemrograman yang digunakan adalah bahasa C sedangkan untuk tampilan visual pada PC digunakan bahasa pemrograman Delphi7. Pembuatan perangkat lunak harus melalui proses-proses uji coba secara *software* maupun secara *hardware*.

Secara garis besar, sistem kerja dari perangkat lunak dapat dilihat pada diagram alir seperti Gambar 3.9 di bawah ini:



Gambar 3.9 Flowchart Sistem



Gambar 3.10 Flowchart Delphi

BAB IV

PENGUKURAN DAN PENGUJIAN

Untuk memastikan sistem aplikasi modulator dan demodulator MFSK dapat bekerja sesuai dengan spesifikasi perencanaan, diperlukan serangkaian pengujian dan pengukuran.

Bab pengujian dan pengukuran ini menguraikan tentang bagian alat yang diuji, tujuan pengujian, langkah-langkah pengujian dan hasil pengujian yang menunjukkan unjuk kerja dari tiap-tiap bagian alat. Pembahasan dalam bab ini dibagi menurut pembagian alat yang diuji untuk mengetahui unjuk kerja sistem secara keseluruhan.

Untuk mengetahui kemampuan alat dan sistem kerja sesuai dengan program yang telah dibuat maka dilakukan pengujian pada alat dan system kerja alat.

Pengujian dilakukan pada tiap-tiap blok sistem , adapun blok-blok yang diuji adalah :

1. Rangkaian RS 232
2. Rangkaian DAC R2R
3. Rangkaian Op Amp
4. Rangkaian Modulator
5. Rangkaian Pengiriman Dan Penerimaan Data

4.1 Pengujian Komunikasi Serial

4.1.1 Tujuan

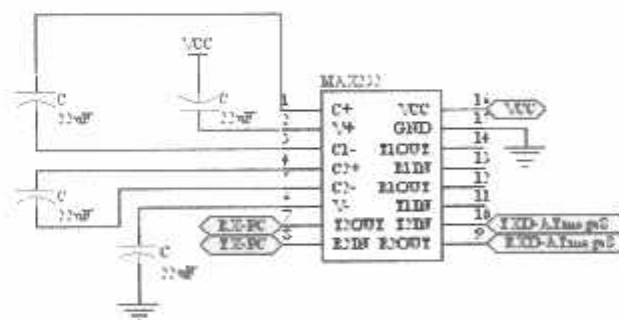
Untuk mengetahui fungsi pin Tx (pengiriman data) dan Rx (penerimaan data) pada MAX232 sudah berfungsi dengan baik. Dengan cara mengirimkan data dari PC ke Mikrokontroler melalui rangkaian MAX232 dan pada pin9 dan 10 (Rx dan Tx) dijumpers, sehingga data yang dikirimkan oleh PC ke Mikrokontroler akan dibalikkan lagi ke PC.

4.1.2 Peralatan yang digunakan

- Rangkaian MAX232
- Kabel Serial (DB9)
- Power Supply +5 Volt
- Jumper

4.1.3 Langkah-langkah Pengujian

- 1) Merangkai rangkaian driver seperti pada gambar dibawah ini:

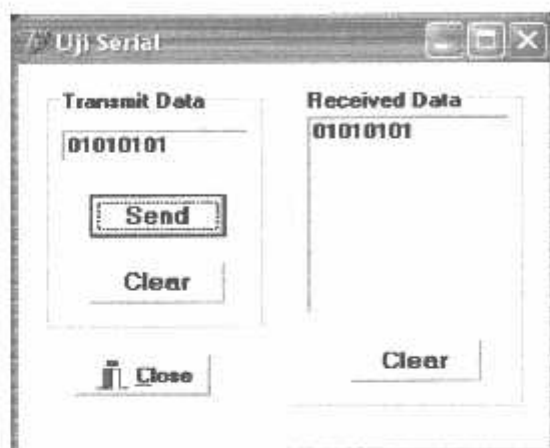


Gambar 4.1 Rangkaian Pengujian Serial

- 2) Pada rangkaian diatas , output MAX232 (pin Tx) dihubungkan dengan input (pin Rx) , dengan demikian semua data yang dikirim melalui PC akan diumpam-balikkan ke PC lagi.

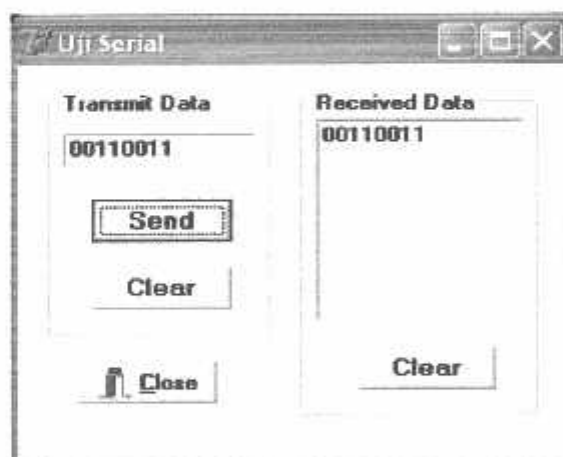
4.1.4 Analisa

Data “01010101” yang dikirim oleh PC, maka data yang diterima oleh PC pun sama yaitu



Gambar 4.2 Pengujian Komunikasi Serial Data 1

Data berupa angka “00110011” yang dikirim oleh PC, maka data yang diterima oleh PC pun sama yaitu



Gambar 4.3 Pengujian Komunikasi Serial Data 2

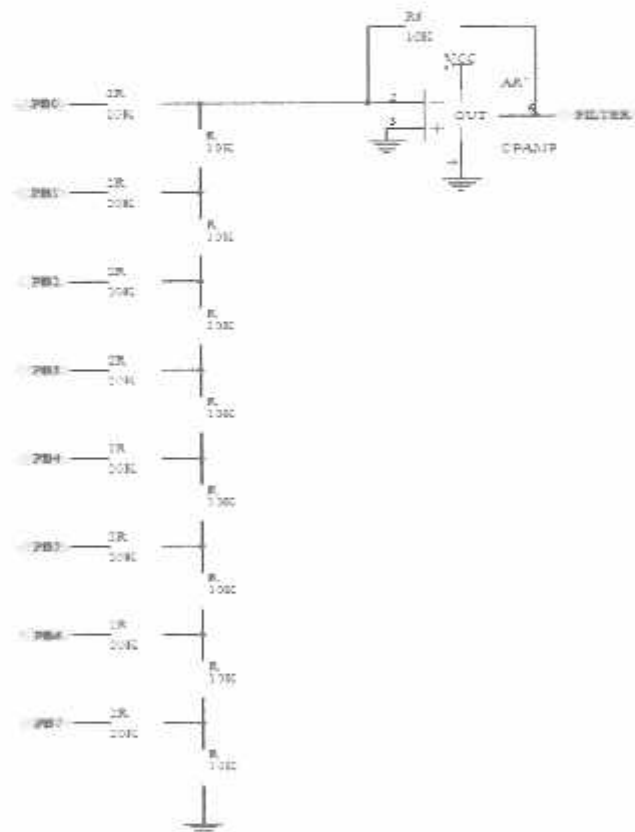
Pengujian rangkaian DAC bertujuan untuk mengetahui apakah DAC berfungsi dengan baik sekaligus untuk mengetahui kelancaran proses konversi atau perubahan sinyal digital ke sinyal analog.

4.2.2 Peralatan yang digunakan

- Rangkaian DAC R2R
- Sumber tegangan +12 volt
- Switch 8 buah
- Multimeter Digital (DT9205B)

4.2.3 Langkah-langkah Pengujian

- 1) Merangkai rangkaian seperti pada gambar dibawah ini:



Gambar 4.4 Rangkaian Pengujian DAC R2R

- 2) Menghubungkan kutub positif multimeter digital (multimeter diset pada skala 20 volt DC) pada outputan DAC, sedangkan kutub negative ke ground.
- 3) Mengamati perubahan nilai tegangan pada multimeter dan mencatat hasilnya pada table 4-1

4.2.4 Analisa

Untuk mengetahui keluaran DAC R2R dapat dicari dengan menggunakan rumus berikut:

$$V_{out} = -\frac{R_f}{R} \times V_{ref} \left[\frac{D_0}{256} + \frac{D_1}{128} + \frac{D_2}{64} + \frac{D_3}{32} + \frac{D_4}{16} + \frac{D_5}{8} + \frac{D_6}{4} + \frac{D_7}{2} \right]$$

Dimana :

$$V_{ref} = 12 \text{ Volt}$$

- Jika diketahui inputan = 00010000_B. Maka berapakah keluaran DAC R2R?

Penyelesaian:

$$V_{out} = -\frac{R_f}{R} \times V_{ref} \left[\frac{D_7}{2} + \frac{D_6}{4} + \frac{D_5}{8} + \frac{D_4}{16} + \frac{D_3}{32} + \frac{D_2}{64} + \frac{D_1}{128} + \frac{D_0}{256} \right]$$

$$V_{out} = -\frac{10}{10} \times 12 \left[\frac{0}{2} + \frac{0}{4} + \frac{0}{8} + \frac{1}{16} + \frac{0}{32} + \frac{0}{64} + \frac{0}{128} + \frac{0}{256} \right]$$

$$= -0,75 \text{ Volt}$$

$$\text{Out}_{DAC} = -0,75 \text{ Volt}$$

- Jika diketahui inputan = 11111111_B. Maka berapakah keluaran DAC R2R?

Penyelesaian:

$$V_{out} = -\frac{R_f}{R} \times V_{ref} \left[\frac{D_7}{2} + \frac{D_6}{4} + \frac{D_5}{8} + \frac{D_4}{16} + \frac{D_3}{32} + \frac{D_2}{64} + \frac{D_1}{128} + \frac{D_0}{256} \right]$$

$$V_{out} = -\frac{10}{10} \times 12 \left[\frac{1}{2} + \frac{1}{4} + \frac{1}{8} + \frac{1}{16} + \frac{1}{32} + \frac{1}{64} + \frac{1}{128} + \frac{1}{256} \right]$$

$$= -11,95 \text{ Volt}$$

$Out_{DAC} = -11.95 \text{ Volt}$

Berikut merupakan table perbandingan tegangan output antara hasil pengukuran dan hasil perhitungan dari keluaran DAC R2R:

Tabel 4.1

Data Hasil Pengukuran Dan Perhitungan Rangkaian DAC R2R

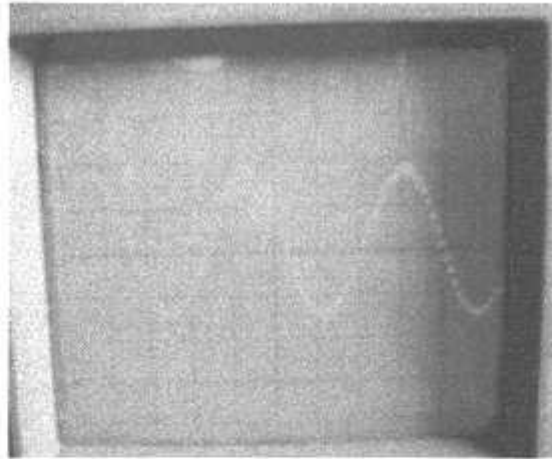
NO	BIT MASUKAN	KELUARAN DAC R2R TEGANGAN V_0 (Volt)		
		PERHITUNGAN	PENGUKURAN	% KESALAHAN
1	00010000	-0.75	-0,74	0,132
2	00100000	-1.5	-1,52	-0,131
3	00110000	-2.25	-2,22	0,135
4	01000000	-3	-2,90	0,345
5	01010000	-3.75	-3,61	0,388
6	01100000	-4.5	-4,38	0,273
7	01110000	-5.25	-5,17	0,154
8	10000000	-6	-6,12	-0,196
9	11111111	-11.95	-11,50	-0,391

Untuk % kesalahan dapat dihitung dari hasil pengukuran dan perhitungan sebagai berikut: $\% \text{ kesalahan} = \frac{(perhitungan - pengukuran)}{perhitungan} \times 100\%$

Contoh : V_0 perhitungan = -0,75 Volt

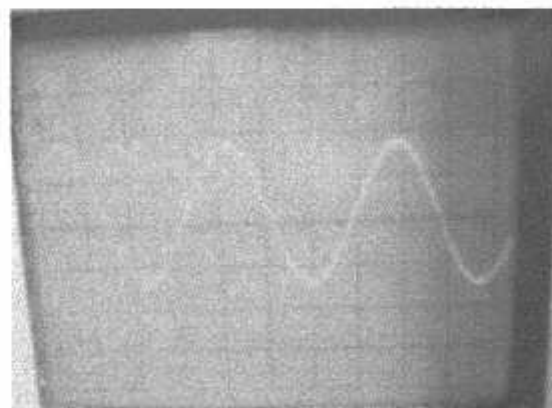
V_0 pengukuran = -0,74 Volt

$\% \text{ kesalahan} = \frac{(-0,75) - (-0,74)}{(-0,74)} \times 100\%$ jadi % kesalahan = 0,132%



Gambar 4.5 Sinyal Output Sebelum di Filter

Hasil pengujian DAC dapat dilihat dari gambar 4-5, V_{p-p} sebesar 3,6 volt pada Volt/Div sebesar 1 v dan Time/div sebesar 1 ms. Bahwa gambar sinyal yang dihasilkan masih terputus-putus hal ini terjadi karena *input* yang masuk ke DAC berupa data digital sehingga *output* DAC pun masih berupa data 8 bit = 256 langkah. Dari data yang dianalogkan untuk mencapai hasil yang diinginkan maka perlu ditambahkan *filter* pada output rangkaian DAC sehingga akan dihasilkan sinyal *output* yang lebih baik seperti gambar 4-6, V_{p-p} sebesar 3,6 V pada Volt/div sebesar 1 V dan Time/div sebesar 1 ms.



Gambar 4.6 Sinyal Output Setelah di Filter

4.3 Pengujian Rangkaian Op Amp

4.3.1 Tujuan

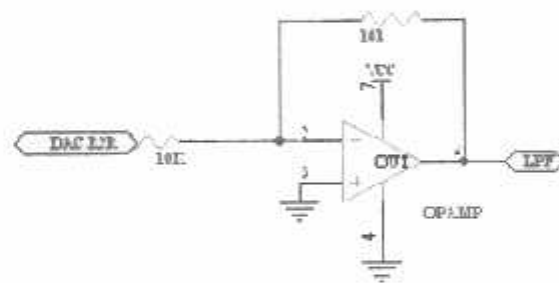
Pengujian rangkaian penguat (Op Amp) bertujuan untuk mengetahui karakteristik penguatan sinyal output sehingga sesuai dengan yang direncanakan.

4.3.2 Peralatan yang digunakan

- Rangkaian Op Amp
- Function Generator
- Voltmeter digital (DT9205B)

4.3.3 Langkah-langkah Pengujian

- 1) Merangkai rangkaian seperti gambar dibawah ini:



Gambar 4-7 Rangkaian Pengujian Op Amp

- 2) Menghubungkan kutub positif multimeter digital (multimeter diset pada skala 10 Volt DC) pada pin 1 dari IC LM741, sedangkan kutub negative ke ground.
- 3) Mengamati perubahan nilai tegangan pada multimeter dan mencatat hasilnya pada table 4-1

Tabel 4-2

Data Hasil Perhitungan dan Pengukuran Rangkaian Op Amp

NO	TEGANGAN INPUT (V)	TEGANGAN OUTPUT (V)		GAIN(A)	% KESALAHAN
		PERHITUNGAN	PENGUKURAN		
1	1,5	-1,5	-1,52	1	1,33
2	1,7	-1,7	-1,72	1	1,18
3	1,9	-1,9	-1,93	1	1,58
4	2,1	-2,1	-2,11	1	0,48
5	2,3	-2,3	-2,32	1	0,87

4.3.4 Analisa

Untuk perhitungan tegangan *output op amp* dapat dicari denga menggunakan rumus :

$$V_{out} = -V_{in} \frac{R_f}{R_i}$$

Penguatannya (A_{CL}) mempunyai persamaan seperti di bawah ini:

$$A_{CL} = \frac{V_{out}}{V_{in}} = - \frac{R_f}{R_i}$$

% Kesalahan dapat dicari dengan persamaan di bawah ini:

$$\% \text{ kesalahan} = \frac{(\text{perhitungan} - \text{pengukuran})}{\text{perhitungan}} \times 100\%$$

Untuk $V_{IN} = 1,5$

Maka tegangan keluaran :

$$V_{out} = -V_{in} \frac{R_f}{R_i}$$

$$V_{out} = -1,5 \frac{R_f}{R_i}$$

$$V_{out} = -1,5V$$

Untuk penguatan (A_{CL}) seperti persamaan di bawah ini:

$$A_{CL} = \frac{V_{out}}{V_{in}} = -\frac{R_f}{R_i}$$

$$A_{CL} = \frac{1,5}{1,5}$$

$$A_{CL} = 1 \text{ kali}$$

Kesalahan dalam persen dapat dicari dengan persamaan di bawah ini:

$$\% \text{ kesalahan} = \left| \frac{(\text{perhitungan} - \text{pengukuran})}{\text{perhitungan}} \right| \times 100\%$$

$$\% \text{ kesalahan} = \left| \frac{(-1,5 - (-1,51))}{-1,5} \right| \times 100\%$$

$$\% \text{ kesalahan} = 0,67\%$$

4.4 Pengujian Rangkaian Modulator Multiple FSK

4.4.1 Tujuan

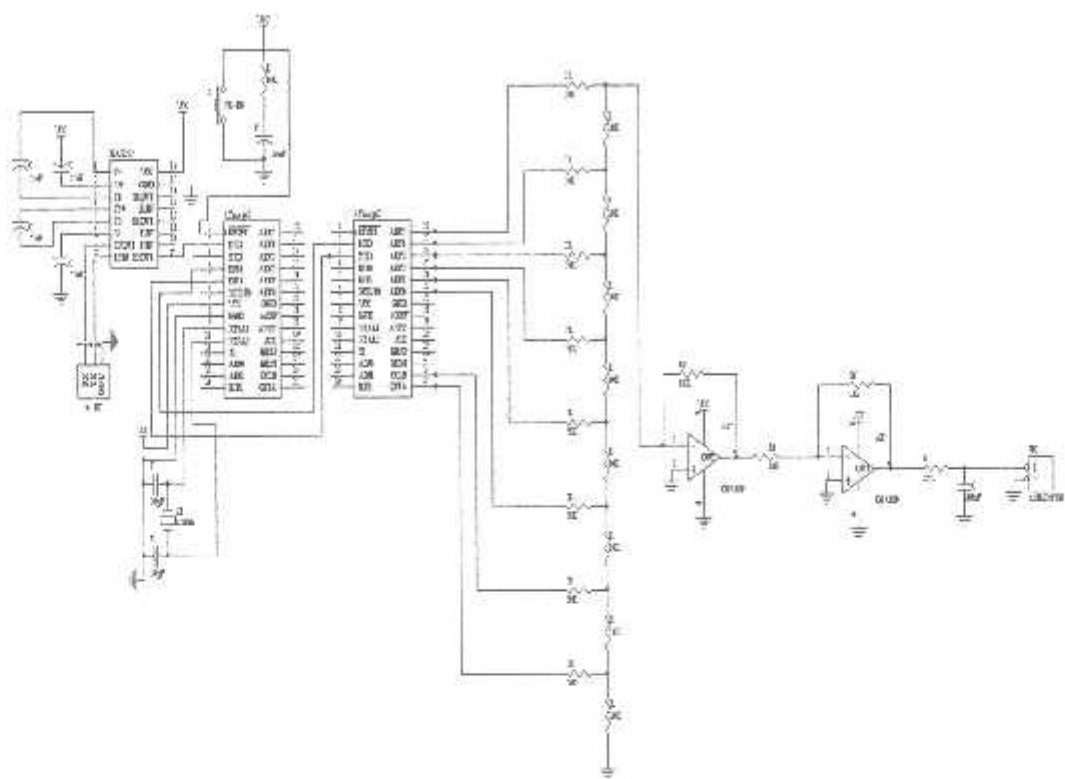
Untuk mengetahui bentuk sinyal dan besar frekuensi yang dibangkitkan oleh rangkaian modulator MFSK apakah telah sesuai dengan frekuensi FSK yang direncanakan yaitu 900 Hz, 1200 Hz, 2200 Hz, dan 3000 Hz.

4.4.2 Peralatan yang digunakan

- Rangkaian modulator multiple FSK
- Oscilloscop (Pintek PS-401)
- Function Generator (GW type GFG-8015G)

4.4.3 Langkah-langkah pengujian

- 1) Merangkai rangkaian seperti ini:



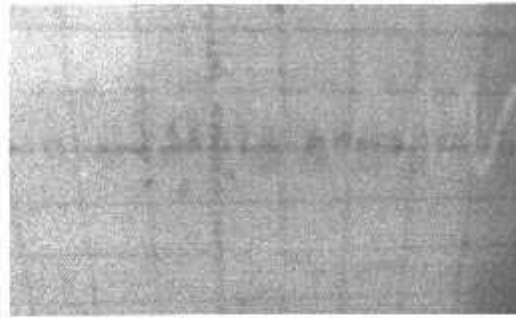
Gambar 4.8 Rangkaian Pengujian Modulator MFSK

- 2) Pengujian dilakukan dengan cara melihat sinyal output modulator,yaitu pada pin output DDS. *Oscilloscope* diset pada 1 V/div dan 1,00 ms time/div, probe merah pada oscilloscope dipasang pada output DDS dan probe hitam *oscilloscop* dipasang pada ground,pada mikrokontroler tepatnya PD3 dan PD2 (diberi logika “1” diberi inputan Vcc dan logika’0’ di groundkan). Sedangkan pada function generator probe (-) dipasang ke ground dan probe(+) dipasang pada output ic demodulatoryang diinginkan dan pada Function generator diset sesuai dengan frekuensi yang telah direncanakan.

4.4.4 Analisa

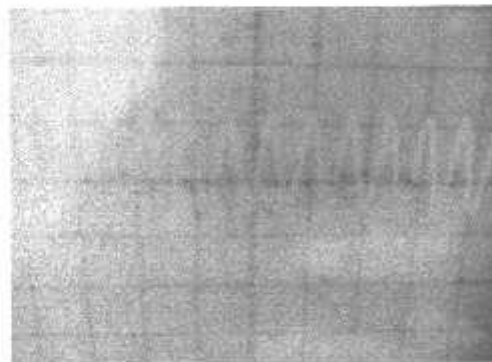
- Sinyal yang dihasilkan oleh *modulator multiple* FSK tersebut terlihat seperti pada gambar 4.9 dengan frekuensi yang dihasilkan

sebesar 900 Hz dengan V_{p-p} sebesar 2 V pada Volt/div sebesar 1 V dan Time/div sebesar 0,5 ms.



Gambar 4.9 Sinyal Output Modulator 900Hz

- Sinyal yang dihasilkan oleh *modulator multiple* FSK tersebut terlihat seperti pada gambar 4.10 dengan frekuensi yang dihasilkan sebesar 900 Hz dengan V_{p-p} sebesar 2 V pada Volt/div sebesar 1 V dan Time/div sebesar 0,5 ms.



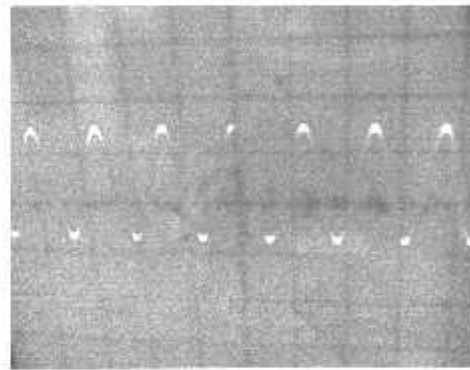
Gambar 4.10 Sinyal Output Modulator 1200Hz

- Sinyal yang dihasilkan oleh *modulator multiple* FSK tersebut terlihat seperti pada gambar 4.11 dengan frekuensi yang dihasilkan sebesar 2200 Hz dengan V_{p-p} sebesar 2,4 V pada Volt/div sebesar 1 V dan Time/div sebesar 0,2 ms.



Gambar 4.11 Sinyal Output Modulator 2200Hz

- Sinyal yang dihasilkan oleh *modulator multiple FSK* tersebut terlihat seperti pada gambar 4.12 dengan frekuensi yang dihasilkan sebesar 3000 Hz dengan V_{p-p} sebesar 2,4 V pada Volt/div sebesar 1 V dan Time/div sebesar 0,2 ms.



Gambar 4.12 Sinyal Output Modulator 3000Hz

4.5 Pengujian Pengiriman dan Penerimaan Data

4.5.1 Tujuan

Untuk mengetahui ketepatan pemodulasian data dilakukan dengan mengirimkan data berupa angka, huruf ataupun kata dari ke PC dengan bantuan *software Delphi7* atau *hyperterminal*.

4.5.2 Peralatan yang digunakan

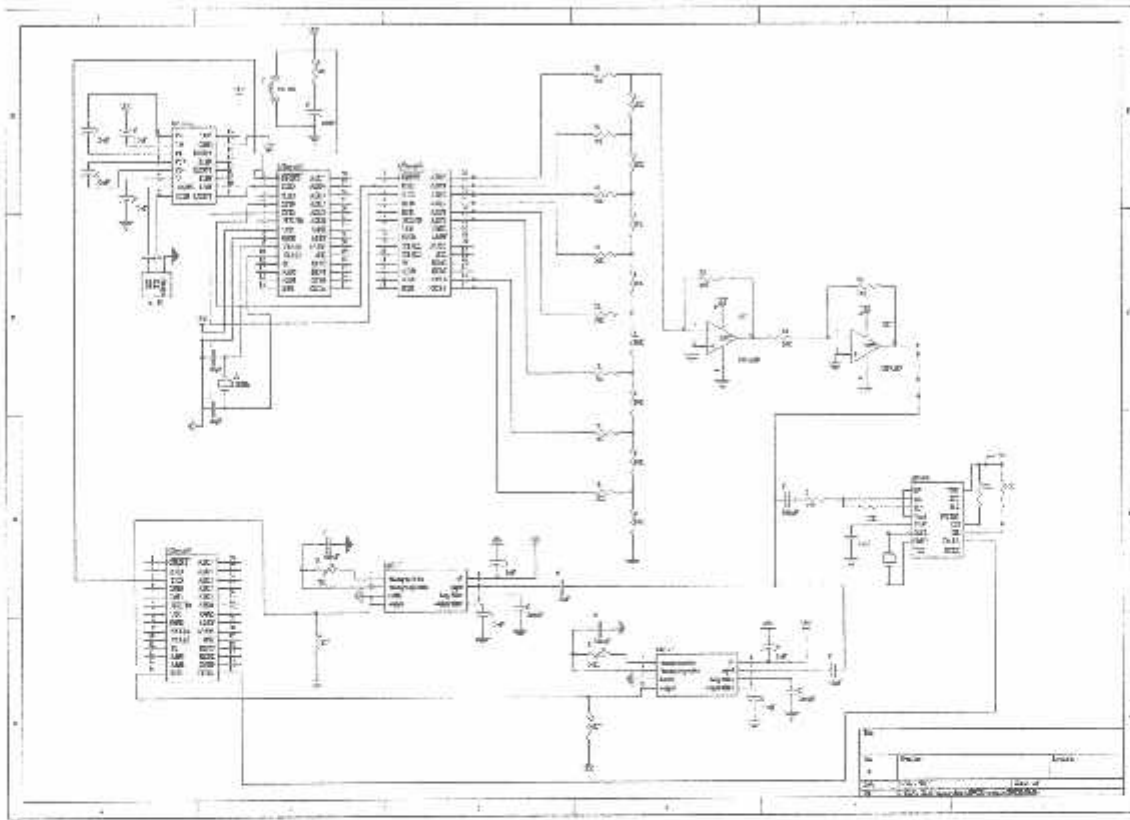
- Rangkaian modulator dan demodulator multiple FSK

- Personal Computer(PC)

4.5.3 Langkah-langkah Pengujian

- 1) Merangkai rangkaian modulator dan demodulator seperti pada gambar 4-

13



Gambar 4.13 Rangkaian Pengujian Modulator Dan Demodulator

- 2) Menghubungkan pin Tx dan Rx dari RS232 rangkaian modulator dan demodulator dengan Rx dan Tx di masukan serial computer (COM1) dengan konektor DB9.
- 3) Mengamati perubahan tampilan pada PC yaitu pada tampilan Delphi.

4.5.4 Analisa

Data yang dikirim PC “anang” maka data yang diterima oleh PC pun sama yaitu “anang”

BAB V

PENUTUP

5.1 Kesimpulan

Berdasarkan dari hasil pengujian, maka dapat diambil kesimpulan sebagai berikut:

1. Dalam pengujian pengiriman dan penerimaan data, dari 100 kali pengiriman data yang karakternya berbeda, kesalahan yang terjadi akibat tidak terkirimnya data pada sisi penerima sebesar 3% .
2. Pada pengujian sistem secara keseluruhan, baudrate mikrokontroler disetting pada 9600 bps, apabila pada tampilan delphi7 diatur baudrate selain 9600 bps maka data tidak akan terkirim.
3. Pengujian sistem secara keseluruhan dihasilkan empat frekuensi yaitu 900 hz (untuk kode biner 11), 1200 hz (untuk kode biner 00), 2200 hz (untuk kode biner 01), dan 3000 hz (untuk kode biner 10)

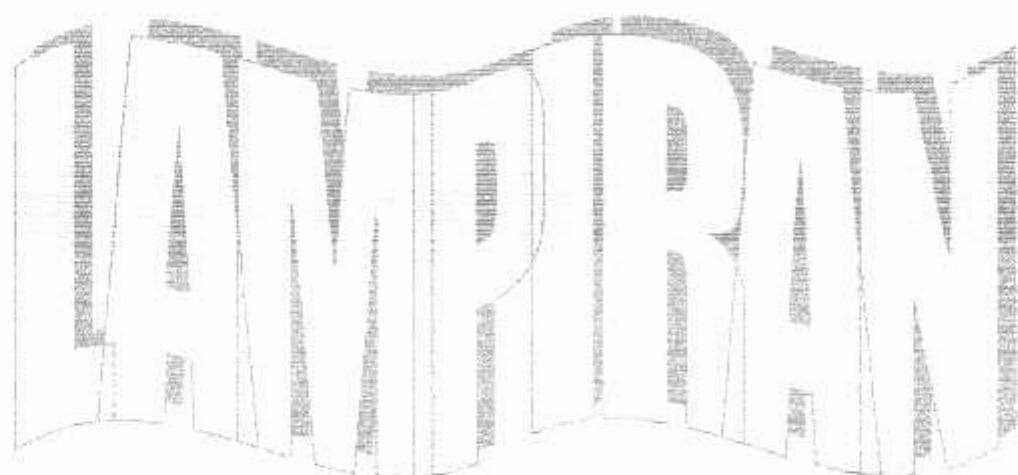
5.2 Saran

Modem multiple FSK dengan metode DDS ini dapat dikembangkan agar lebih baik dalam penggunaannya diantaranya dapat dilakukan dengan :

1. Mengaplikasikan modem MFSK pada aplikasi frequency hopping seperti pemancar radio ,Bluetooth,tv dll.
2. Mengembangkannya pada MFSK8, MFSK16

DAFTAR PUSTAKA

- [1] www.analogdevices.com/dds
- [2] www.tech-faq.com/fsk.
- [3] Datasheet Mikrokontroler Atmega8. <http://www.ATMEL.com>
- [4] www.datasheetcatalog.com/datasheets_pdf/M/A/X/2/MAX232.
- [5] www.datasheetcatalog.com/datasheets_pdf/L/M/5/6/LM567.
- [6] www.datasheetsite.com/datasheet/MT8841
- [7] Malvino, Paul Albert, Hanapi Gunawan, *Prinsip-prinsip Elektronika*, Erlangga, Jakarta, 1990.
- [8] www.datasheetcatalog.com/datasheets_pdf/L/M/7/4/LM741
- [9] Clayton, George and Steve Winder, *Operational Amplifier*, Erlangga, Jakarta. 2004.





INSTITUT TEKNOLOGI NASIONAL
FAKULTAS TEKNOLOGI INDUSTRI
JURUSAN TEKNIK ELEKTRO
Jl. Raya Karanglo Km 2 MALANG

LEMBAR PERBAIKAN SKRIPSI

Nama Mahasiswa : Achmad Syaiful Anang
Nim : 03.17.079
Jurusan : Teknik Elektro S-1
Konsentrasi : Teknik Elektronika
Hari / Tanggal : Selasa / 23 September 2008

No	Materi Perbaikan	Paraf
1	Nilai-nilai komponen di hitung pada bagian perancangan	
2	Fasa hasil pengujian tampilkan hasil sinyal termodulasi	
3	Flowchart	
4	Vref 12 volt darimana pada DAC	
5	Pengujian frekuensi di hitung nilai error	

Disetujui Oleh

Penguji I

I. Komang Somawirata, ST.MT
NIP.Y.1030100361

Penguji II

Irmalia Suryani Faradisa ST.MT
NIP.P.103000035

Mengetahui

Dosen Pembimbing I

Ir. F. Yudi Limpraptono MT
NIP.Y.1039500274

Dosen Pembimbing II

Sotyohadi, ST, Msc
NIP.Y.1039700309



INSTITUT TEKNOLOGI NASIONAL
FAKULTAS TEKNOLOGI INDUSTRI
JURUSAN TEKNIK ELEKTRO
JL.Raya Karanglo Km 2 MALANG

LEMBAR PERBAIKAN SKRIPSI

Nama Mahasiswa : Achmad Syaiful Anang
Nim : 03.17.079
Jurusan : Teknik Elektro S-1
Konsentrasi : Teknik Elektronika
Hari / Tanggal : Selasa / 23 September 2008

No	Materi Perbaikan	Paraf Dosen
1.	Perancangan di Bab 3 diperbaiki	

Disetujui Oleh

Penguji I

I. Komang Somawirata, ST.MT
NIP.Y. 1030100361

Penguji II

Irmalia Suryani Faradisa ST.MT
NIP.P.103000035

Mengetahui

Dosen Pembimbing I

Ir. F. Yudi Limpraptono MT
NIP.Y.1039500274

Dosen Pembimbing II

Sotyohadi, ST, Msc
NIP.Y.1039700309



FORMULIR BIMBINGAN SKRIPSI

Nama : Achmad Syaiful Anang
Nim : 03.17.079
Masa Bimbingan : 05-Juni-2008 s/d 05-Desember-2008
Judul Skripsi : Perencanaan dan Pembuatan Modem Multiple FSK Dengan Menggunakan Metode DDS (*Direct Digital Synthesizer*) Berbasis Mikrokontroler AT Mega 8-bit.

No	Tanggal	Uraian	Paraf Pembimbing
1	30/06/08	Bab I & II Revisi	
2	11/08/08	Bab III & IV Revisi	
3		Bab I - V Revisi	
4		Selesai	
5	17/08/08	Konfirmasi	
6			
7			
8			
9			
10			

Malang,

Dosen pembimbing I.

Ir. Yudi Lampraptono, MT
NIP.Y.1039500274

Form S-4b



INSTITUT TEKNOLOGI NASIONAL
Jl. Raya Karanglo, Km 2
MALANG

FORMULIR BIMBINGAN SKRIPSI

Nama : Achmad Syaiful Anang
Nim : 03.17.079
Masa Bimbingan : 05-Juni-2008 s/d 05-Desember-2008
Judul Skripsi : Perencanaan dan Pembuatan Modem Multiple FSK Dengan Menggunakan Metode DDS (*Direct Digital Synthesizer*) Berbasis Mikrokontroler ATmega 8-bit.

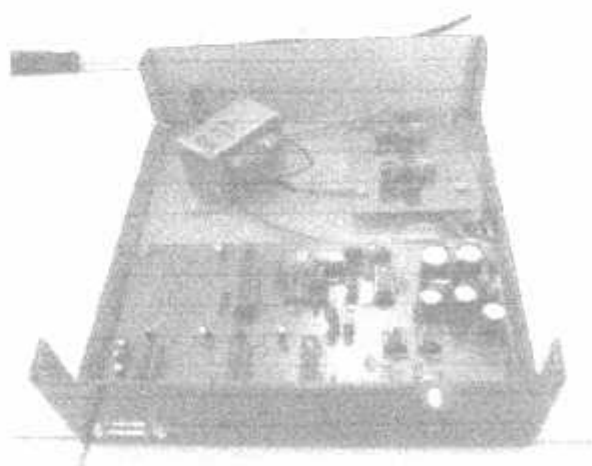
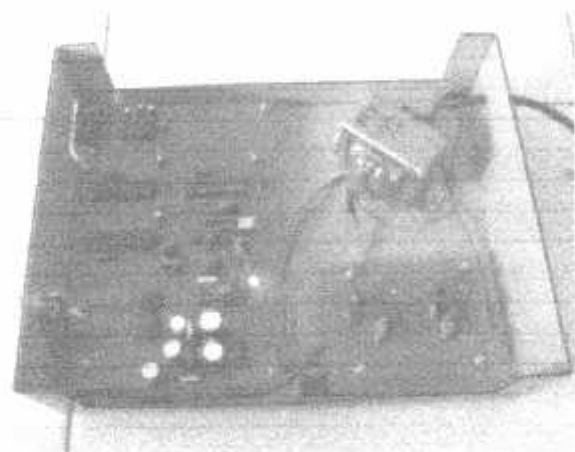
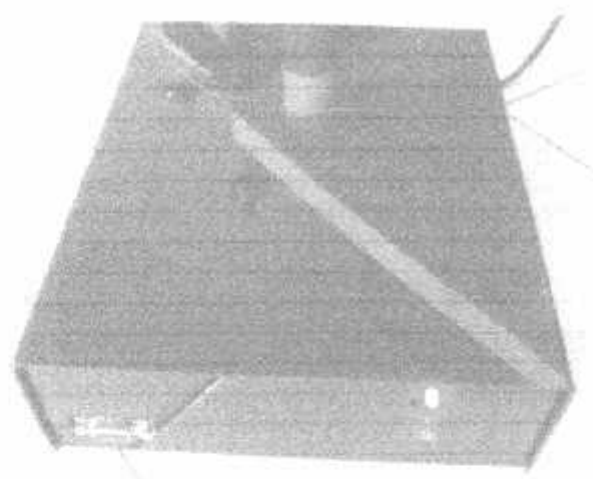
No	Tanggal	Uraian	Paraf Pembimbing
1	25/08	- Perhitungan 2 Rumus Rangkaian - METODE yang digunakan untuk mencari frekuensi	<i>fadi</i>
2	4/09	DEMO ALAT	<i>fadi</i>
3	4/09	ACC Seminar Khas	<i>fadi</i>
4	9/09	Block Diagram	<i>fadi</i>
5	9/09	Hitungan Baudrate	<i>fadi</i>
6	17/09	ACC Kompro.	<i>fadi</i>
7			
8			
9			
10			

Malang,

Dosen pembimbing II,

Setyohadi, ST
NIP.Y.10.39700309

Form S-4b



```

/* File include */
#include <mega8.h>
#include <delay.h>
#include "lcdku.c"

/* Pendefinisian */

#define d11      PINB.0
#define mt       PINB.1
#define d01      PIND.7
#define start    PIND.4
#define clk      PINC.0

/* Inisialisasi variabel global */
unsigned char a,d,c;
//long int;
unsigned int i;
bit trx;
//flash int
konstanta_uming[25]={1,000,000,111,167,133,112,90,84,74,60,60,50,52,48,44,42,40,38,
36,34,32,30,28,28};

/*inisialisasi input output */
void init_port()
{
    DDRC=0b11110000;
    //PORTC=0b11111111;
    DDRB=0b00001100;
    DDRD=0b01000010;
    // DDRA=0b00000000;
    //SCID=1;SQAD=1;
}

void init_ADC()
{
    /* Referensi AVCC */
    SFIOR=SFIOR&0x0f;
    ADMUX=0x40;
    ADCSRA=0x02;
}

void initser()
{
    UBRRL=25;
    UBRRH=0;
    UCSRA=0x80;//aslinya 0

```

```

UCSRB=0x98; // Tx,Rx Enabled aslinya 18
UCSRC=0x86; //8 bit data
}

unsigned char terimaser()
{
    while((UCSRKA & 0x80) == 0x00);
    return UDR;
}

void kirimser(unsigned char TxData)
{
    while((UCSRKA & 0x20) == 0x00);
    //while ( !( UCSRA & (1<<UDRE)) );
    UCSRKA |=0x20;
    UDR = TxData;
    delay_ms(10);
}

void kirimtext(hash unsigned char *text)
{
    while(*text)
    {
        kirimser(*text++);
    }
}

unsigned int konversi(unsigned char channel)
{
    unsigned char high,low;
    int data konversi;

    /* pilih channel dengan referensi AVCC */
    ADMUX=(ADMUX&0xe0)|channel;

    /* Nyatakan ADC dan Start Konversi */
    ADCSRA=ADCSRA|0b11000000;

    /* tunggu proses konversi selesai */
    while((ADCSRA&0b00010000)!=0x10);

    /* matikan ADC, reset ADIF */
    ADCSRA=(ADCSRA|0b00010000)&0b01111111;

    /* data hasil konversi */
    delay_ms(1);
    low=ADCL;

```

```

    high=ADCH&0x05;
    data_konversi=(high%2)*256;
    high=2;
    data_konversi=(data_konversi+((high%2)*512))+low;
    return data_konversi;
}

/*inisialisasi timer 1*/
void init_timer1()
{
    /* Timer ini akan digunakan trigger CDI */
    /* frekuensi clock 2 MHz */
    TCCR1A=0x00;
    TCCR1B=0x08;
    //TIMSK=TIMSK|0x10;
    OCR1A=0x11;
    OCR1AL=0xff;
    TCNT1H=0;
    TCNT1L=0;
}

void init_timer2()
{
    /* Timer ini akan digunakan sebagai penghitung kecepatan */
    /* Mode yang digunakan adalah normal */
    TCCR2=0x00;
    TIMSK=TIMSK|0x40;
    IFR=IFR|0x40;
    TCNT2=-39;
    //TCNT2H=0x10;
    //TCNT2L=0xbe;
    //TCNT1L=0;
}

void init_ext_interrupt()
{
    /* Set untuk interrupt 0 rising edge */
    MCUCR=0x03;
    GICR=GICR|0x40;
}

```

```

/* Turn registers saving off */
#pragma savereg-
/* interrupt handler */
interrupt [5] void timer2_overflow(void)
{
    #asm
    push r30
    push r31
    in r30,SREG
    push r30
    #endasm
    c++;

    #asm
    pop r30
    out SREG,r30
    pop r31
    pop r30
    #endasm*
}
/* re-enable register saving for the other interrupts */
#pragma savereg+

```

```

/* Turn registers saving off */
#pragma savereg-
/* interrupt handler */
interrupt [2] void external_int0(void)
{
    #asm
    push r30
    push r31
    in r30,SREG
    push r30
    #endasm

    #asm
    pop r30
    out SREG,r30
    pop r31
    pop r30
    #endasm
}
#pragma savereg+

```

```

#pragma savepreg-
/* interrupt handler */
interrupt [12] void interuptrx(void)
{

    while((UCSRKA & 0x80) == 0x00);
    if(UDR=='a')trx=1;

}
#pragma savereg+

/* Program Utama */
void main()
{

    /* inisialisasi */
    init_port();
    //init_timer1();
    init_timer2();
    //init_ext_interrupt();
    //initlcd();
    //init_ADC();
    initser();

    delay_ms(10); a=0;a=0;
    //kirimtext("jksdijf");
    do
    {
        a=0;a=0;
        while(start==0);
        while(start==1);
        while(a<4)
        {
            while(clk==0); delay_ms(20);
            if(a==0){a=a<<2;a=a+3;a++;}
            else if(d0==0){d=d<<2;d=d+1;a++;}
            else if(mt==1){a=a<<2;a++;}
            else if(mt==0){d=d<<2;d=d+2;a++;}
            while(clk==1);
        }
        kirimser(a);
        //kirimser(d%10+48);
    }while(1);
}

```

```

{
    #asm
    push r30
    push r31
    in r30,SREG
    push r30
    #endasm
    c++;

    #asm
    pop r30
    out SREG,r30
    pop r31
    pop r30
    #endasm*
}
/* re-enable register saving for the other interrupts */
#pragma savereg+

/* Turn registers saving off */
#pragma savereg-
/* interrupt handler */
interrupt [2] void external_int0(void)
{
    #asm
    push r30
    push r31
    in r30,SREG
    push r30
    #endasm

    #asm
    pop r30
    out SREG,r30
    pop r31
    pop r30
    #endasm
}
#pragma savereg+
#pragma savereg-
/* interrupt handler */
interrupt [12] void interruptx(void)
{
    while((UCSRA & 0x80) == 0x00);
}

```

```

    if(UDR=='a')trx=1;

}
#pragma savereg+

void kirimadas(unsigned char ki)
{
    if(ki==0){keluar2=0;keluar1=0;}
    else if(ki==1){keluar2=1;keluar1=0;}
    else if(ki==2){keluar2=0;keluar1=1;}
    else if(ki==3){keluar2=1;keluar1=1;}
}

/* Program Utama */
void main()
{
    /* Inisialisasi */
    init_port();
    //init_timer1();
    init_timer2();
    //init_ext_interrupt();
    //initlcd();
    //init_ADC();
    initser();
    #asm("cli")
    delay_ms(10); start=0;clk=0;a=30;d='a';
    //kirimtext("jksdjl");
    do
    {
        d=terimaser();
        start=1;delay_ms(a);
        start=0;delay_ms(a);
        clk=1;kirimadas(a/64);delay_ms(a);
        clk=0;delay_ms(a);
        clk=1;kirimadas(a/16%64);delay_ms(a);
        clk=0;delay_ms(a);
        clk=1;kirimadas(a/4%64);delay_ms(a);
        clk=0;delay_ms(a);
        clk=1;kirimadas(a%64);delay_ms(a);
        clk=0;delay_ms(a);
        //delay_ms(100);
    }while(1);
}
/* File include */
#include <mega8.h>

```

```
#include <delay.h>
```

```
/* Pendefinisian */
```

```
#define DAC_low PORTC //PORTC.5-PORTC.0
```

```
#define DAC_high PORTB //PORTB.2-PORTB.1
```

```
#define masukan1 PIND.0
```

```
#define masukan2 PIND.1
```

```
/* Inisialisasi variabel global */
```

```
unsigned char index data keluaran;
```

```
hasi unsigned char
```

```
data keluaran_low[33]={63,25,48,7,26,41,53,60,63,60,53,41,26,7,48,25,63,38,15,56,37,
```

```
22,10,3,0,3,10,22,3,10,13,38};
```

```
flash unsigned char
```

```
data keluaran_high[33]={2,4,4,6,6,6,6,6,6,6,6,6,4,4,2,2,0,0,0,0,0,0,0,0,0,2,2};
```

```
void init_port()
```

```
{
```

```
DDRC=0b00111111;
```

```
DDRB=0b00000110;
```

```
DDRD=0b11111100;
```

```
}
```

```
void init_timer2()
```

```
{
```

```
/* Timer ini akan digunakan sebagai oscilator */
```

```
/* Mode yang digunakan adalah Clear Timer On Compare dengan interrupt */
```

```
/* Mula-mula OCR0 diset untuk frekuensi 1200 Hz, 17 langkah, frekuensi clock 8  
MHz */
```

```
TCCR2=0x08;
```

```
TIMSK=TIMSK|0x80;
```

```
TCNT2=0;
```

```
OCR2=203;
```

```
}
```

```
/* Fungsi saat terjadi timer 2 compare match interrupt */
```

```
/* Turn registers saving off */
```

```
#pragma savereg-
```

```
/* interrupt handler */
```

```
interrupt [4] void timer2_match(void)
```

```
{
```

```

/* Pemanasan */
#asm
push r30
push r31
in r30,SREG
push r30
#endasm

/* inu */
if(index_data_keluaran!=31)index_data_keluaran++;
else index_data_keluaran=0;

DAC_high=data_keluaran_high[index_data_keluaran];
DAC_low=data_keluaran_low[index_data_keluaran];

/* Pendinginan */
#asm
pop r30
out SREG,r30
pop r31
pop r30
#endasm
}
/* re-enable register saving for the other interrupts */
#pragma save reg+
unsigned int konversi(unsigned char channel)
{
    unsigned char high,low;
    int data_konversi;

    /* pilih channel dengan referensi AVCC */
    ADMUX=(ADMUX&0xe0)|channel;

    /* Nyalakan ADC dan Start Konversi */
    ADCSRA=ADCSRA|0b11000000;

    /* tunggu proses konversi selesai */
    while((ADCSRA&0b00010000)!=0x10);

    /* matikan ADC, reset ADIF */
    ADCSRA=(ADCSRA|0b00010000)&0b01111111;

    /* data hasil konversi */
    delay_ms(1);
    low=ADCL;

```

```

high=AD_CONVERT;
data_konversi=(high%2)*256;
high-=2;
data_konversi=(data_konversi+((high%2)*512))+low;
return data_konversi;
}

/* Program Utama */
void main()
{
    /* Inisialisasi */
    unsigned char data;
    init_port();
    init_timer();
    /* lets go */
    DAC_low=0;
    DAC_high=2;
    index_data_keluaran=0;
    #asm("sei");
    TCCR2=TCCR2|0x01;
    do
    {
        data=konversi(1);
        //OCR2=masukan : 0 : 109.200, // 100 : 84;
        if((masukan1==0)&&(masukan2==0))OCR2=200;//1200
        else if((masukan1==0)&&(masukan2==1))OCR2=109;//2200
        else if((masukan1==1)&&(masukan2==0))OCR2=80;//3000
        else if((masukan1==1)&&(masukan2==1))OCR2=255;//900
    } while(1);
}

```

Features

- High-performance, Low-power AVR[®] 8-bit Microcontroller
- Advanced RISC Architecture
- 130 Powerful Instructions – Most Single-clock Cycle Execution
- 32 x 8 General Purpose Working Registers
- Fully Static Operation
- Up to 16 MIPS Throughput at 16 MHz
- On-chip 2-cycle Multiplier
- Volatile Program and Data Memories
- 8K Bytes of In-System Self-Programmable Flash
 - Endurance: 10,000 Write/Erase Cycles
- Optional Boot Code Section with Independent Lock Bits
 - In-System Programming by On-chip Boot Program
 - True Read-While-Write Operation
- 512 Bytes EEPROM
 - Endurance: 100,000 Write/Erase Cycles
- 1K Byte Internal SRAM
- Programming Lock for Software Security
- Peripheral Features
 - Two 8-bit Timer/Counters with Separate Prescaler, one Compare Mode
 - One 16-bit Timer/Counter with Separate Prescaler, Compare Mode, and Capture Mode
 - Real Time Counter with Separate Oscillator
 - Three PWM Channels
 - 8-channel ADC in TQFP and QFN/MLF package
 - Eight Channels 10-bit Accuracy
 - 6-channel ADC in PDIP package
 - Eight Channels 10-bit Accuracy
 - Byte-oriented Two-wire Serial Interface
 - Programmable Serial USART
 - Master/Slave SPI Serial Interface
 - Programmable Watchdog Timer with Separate On-chip Oscillator
 - On-chip Analog Comparator
- Additional Microcontroller Features
 - Power-on Reset and Programmable Brown-out Detection
 - Internal Calibrated RC Oscillator
 - External and Internal Interrupt Sources
 - Five Sleep Modes: Idle, ADC Noise Reduction, Power-save, Power-down, and Standby
- Pin Configurations and Packages
 - 23 Programmable I/O Lines
 - 28-lead PDIP, 32-lead TQFP, and 32-pad QFN/MLF
- Operating Voltages
 - 2.7 - 5.5V (ATmega8L)
 - 4.5 - 5.5V (ATmega8)
- Speed Grades
 - 0 - 8 MHz (ATmega8L)
 - 0 - 16 MHz (ATmega8)
- Power Consumption at 4 Mhz, 3V, 25°C
 - Active: 3.6 mA
 - Idle Mode: 1.0 mA
 - Power-down Mode: 0.5 µA

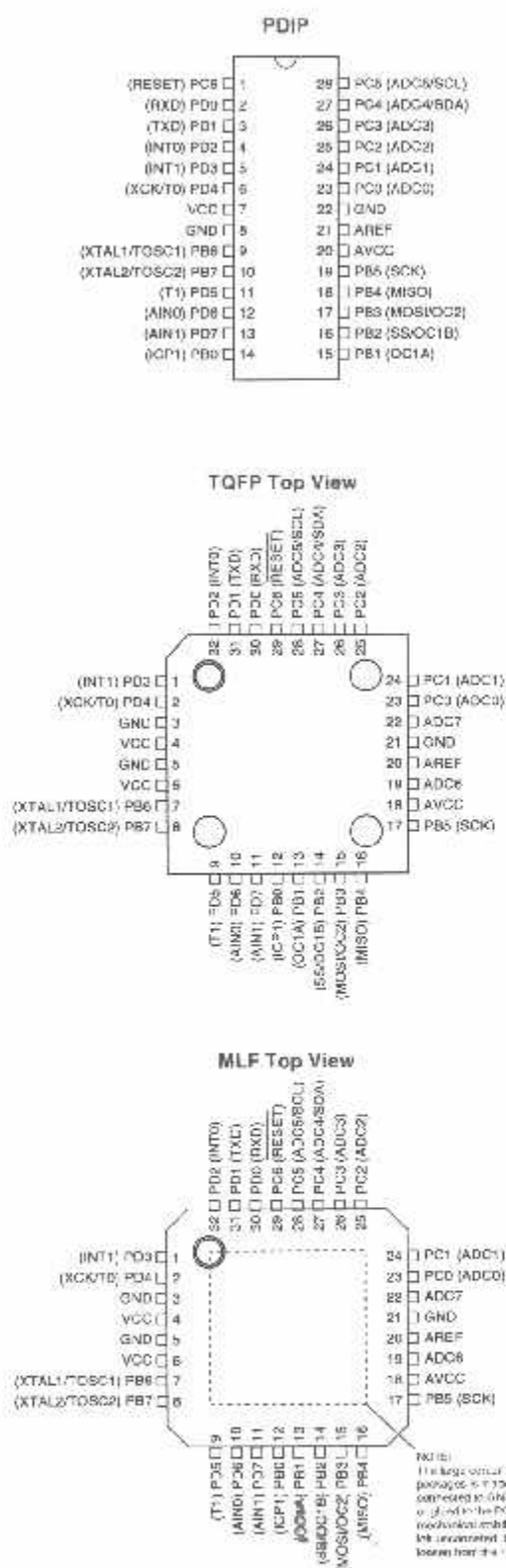


8-bit AVR[®]
with 8K Bytes
In-System
Programmable
Flash

ATmega8
ATmega8L



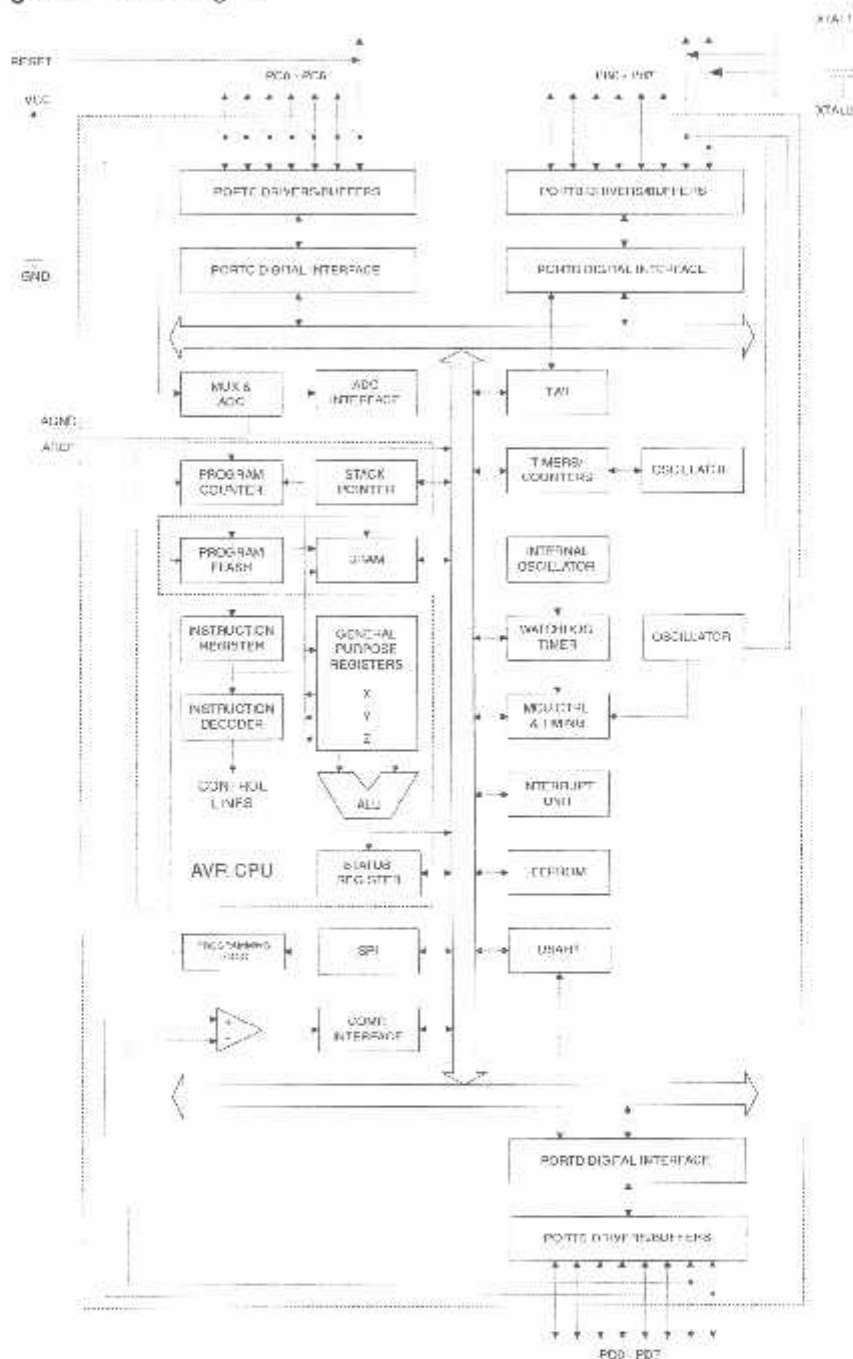
Configurations



The ATmega8 is a low-power CMOS 8-bit microcontroller based on the AVR RISC architecture. By executing powerful instructions in a single clock cycle, the ATmega8 achieves throughputs approaching 1 MIPS per MHz, allowing the system designer to optimize power consumption versus processing speed.

k Diagram

Figure 1. Block Diagram





The AVR core combines a rich instruction set with 32 general purpose working registers. All the 32 registers are directly connected to the Arithmetic Logic Unit (ALU), allowing two independent registers to be accessed in one single instruction executed in one clock cycle. The resulting architecture is more code efficient while achieving throughputs up to ten times faster than conventional CISC microcontrollers.

The ATmega8 provides the following features: 8K bytes of In-System Programmable Flash with Read-While-Write capabilities, 512 bytes of EEPROM, 1K byte of SRAM, 23 general purpose I/O lines, 32 general purpose working registers, three flexible Timer/Counters with compare modes, internal and external interrupts, a serial program-matable USART, a byte-oriented Two-wire Serial Interface, a 6-channel ADC (eight channels in TQFP and QFN/MLF packages) with 10-bit accuracy, a programmable Watchdog Timer with Internal Oscillator, an SPI serial port, and five software selectable power saving modes. The Idle mode stops the CPU while allowing the SRAM, Timer/Counters, SPI port, and Interrupt system to continue functioning. The Power-down mode saves the register contents but freezes the Oscillator, disabling all other chip functions until the next Interrupt or Hardware Reset. In Power-save mode, the asynchronous timer continues to run, allowing the user to maintain a timer base while the rest of the device is sleeping. The ADC Noise Reduction mode stops the CPU and all I/O modules except asynchronous timer and ADC, to minimize switching noise during ADC conversions. In Standby mode, the crystal/oscillator Oscillator is running while the rest of the device is sleeping. This allows very fast start-up combined with low-power consumption.

The device is manufactured using Atmel's high density non-volatile memory technology. The Flash Program memory can be reprogrammed In-System through an SPI serial interface, by a conventional non-volatile memory programmer, or by an On-chip boot program running on the AVR core. The boot program can use any interface to download the application program in the Application Flash memory. Software in the Boot Flash Section will continue to run while the Application Flash Section is updated, providing true Read-While-Write operation. By combining an 8-bit RISC CPU with In-System Self-Programmable Flash on a monolithic chip, the Atmel ATmega8 is a powerful microcontroller that provides a highly-flexible and cost-effective solution to many embedded control applications.

The ATmega8 AVR is supported with a full suite of program and system development tools, including C compilers, macro assemblers, program debugger/simulators, In-Circuit Emulators, and evaluation kits.

Disclaimer

Typical values contained in this datasheet are based on simulations and characterization of other AVR microcontrollers manufactured on the same process technology. Min and Max values will be available after the device is characterized.

Descriptions

Digital supply voltage.

Ground.

B (PB7..PB0) 1/XTAL 2/TOSC1/TOSC2

Port B is an 8-bit bi-directional I/O port with internal pull-up resistors (selected for each bit). The Port B output buffers have symmetrical drive characteristics with both high sink and source capability. As inputs, Port B pins that are externally pulled low will source current if the pull-up resistors are activated. The Port B pins are tri-stated when a reset condition becomes active, even if the clock is not running.

Depending on the clock selection fuse settings, PB6 can be used as input to the inverting Oscillator amplifier and input to the internal clock operating circuit.

Depending on the clock selection fuse settings, PB7 can be used as output from the inverting Oscillator amplifier.

If the Internal Calibrated RC Oscillator is used as chip clock source, PB7..6 is used as TOSC2..1 input for the Asynchronous Timer/Counter2 if the AS2 bit in ASSR is set.

The various special features of Port B are elaborated in "Alternate Functions of Port B" on page 58 and "System Clock and Clock Options" on page 25.

C (PC5..PC0)

Port C is an 7-bit bi-directional I/O port with internal pull-up resistors (selected for each bit). The Port C output buffers have symmetrical drive characteristics with both high sink and source capability. As inputs, Port C pins that are externally pulled low will source current if the pull-up resistors are activated. The Port C pins are tri-stated when a reset condition becomes active, even if the clock is not running.

RESET

If the RSTDISBL Fuse is programmed, PC6 is used as an I/O pin. Note that the electrical characteristics of PC6 differ from those of the other pins of Port C.

If the RSTDISBL Fuse is unprogrammed, PC6 is used as a Reset input. A low level on this pin for longer than the minimum pulse length will generate a Reset, even if the clock is not running. The minimum pulse length is given in Table 15 on page 38. Shorter pulses are not guaranteed to generate a Reset.

The various special features of Port C are elaborated on page 61.

D (PD7..PD0)

Port D is an 8-bit bi-directional I/O port with internal pull-up resistors (selected for each bit). The Port D output buffers have symmetrical drive characteristics with both high sink and source capability. As inputs, Port D pins that are externally pulled low will source current if the pull-up resistors are activated. The Port D pins are tri-stated when a reset condition becomes active, even if the clock is not running.

Port D also serves the functions of various special features of the ATmega8 as listed on page 63.

ET

Reset input. A low level on this pin for longer than the minimum pulse length will generate a reset, even if the clock is not running. The minimum pulse length is given in Table 15 on page 38. Shorter pulses are not guaranteed to generate a reset.



AV_{CC} is the supply voltage pin for the A/D Converter, Port C (3..0), and ADC (7..6). It should be externally connected to V_{CC} , even if the ADC is not used. If the ADC is used, it should be connected to V_{CC} through a low-pass filter. Note that Port C (5..4) use digital supply voltage, V_{CC} .

AREF is the analog reference pin for the A/D Converter.

**7.6 (TQFP and QFN/MLF
Package Only)**

In the TQFP and QFN/MLF package, ADC7..6 serve as analog inputs to the A/D converter. These pins are powered from the analog supply and serve as 10 bit ADC channels.

ources

A comprehensive set of development tools, application notes and datasheets are available for download on <http://www.atmel.com/avr>.





Register Summary

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Page
0x5F	SRRD	I	T	H	S	V	N	Z	C	11
0x5E	SPH	—	—	—	—	—	SP10	SP9	SP8	13
0x5D	SPL	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	13
0x5C	Reserved									
0x5B	GCR	INT1	INT0	—	—	—	—	IVSF1	IVCL	49, 67
0x5A	IFR	INTF1	INTF0	—	—	—	—	—	—	68
0x59	IMSK	OCIE2	TOIE2	TICIF1	OCIE1A	OCIE1B	TOIE1	—	TOIE0	72, 102, 122
0x58	IFR	OCF2	TOV2	ICF1	OCF1A	OCF1B	TOV1	—	TOV0	72, 103, 122
0x57	SPMCR	SPMIF	RWWS3	—	RWWSRE	BLBSSET	PGWRT	PCERS	SPMEN	213
0x56	IWCR	IWINT	IWEA	IWS1A	WSTD	IWAO	IWFN	—	IWEI	171
0x55	MCUCR	SE	SM2	SM1	SM0	ISC11	ISC10	ISC01	ISC00	33, 66
0x54	MCUCSR	—	—	—	—	WDRF	BORF	EXTRF	PORF	41
0x53	TCCR0	—	—	—	—	—	CS02	CS01	CS00	72
0x52	TCNT0	Timer/Counter0 (8 Bits)								72
0x51	OSCCAL	Oscillator Calibration Register								31
0x50	SFOR	—	—	—	—	ACME	PUD	PSR2	PSR10	58, 75, 123, 193
0x4F	TCCR1A	COM1A1	COM1A0	COM1B1	COM1B0	FOC1A	FOC1B	WGM11	WGM10	97
0x4E	TCCR1B	ICNC1	ICCS1	—	WGM13	WGM12	CS12	CS11	CS10	100
0x4D	TCNT1H	Timer/Counter1 - Counter Register High byte								101
0x4C	TCNT1L	Timer/Counter1 - Counter Register Low byte								101
0x4B	OCR1AH	Timer/Counter1 - Output Compare Register A High byte								101
0x4A	OCR1AL	Timer/Counter1 - Output Compare Register A Low byte								101
0x49	OCR1BH	Timer/Counter1 - Output Compare Register B High byte								101
0x48	OCR1BL	Timer/Counter1 - Output Compare Register B Low byte								101
0x47	ICR1H	Timer/Counter1 - Input Capture Register High byte								102
0x46	ICR1L	Timer/Counter1 - Input Capture Register Low byte								102
0x45	TCCR2	FOC2	WGM20	COM21	COM20	WGM21	CS22	CS21	CS20	117
0x44	TCNT2	Timer/Counter2 (8 Bits)								119
0x43	OCR2	Timer/Counter2 Output Compare Register								119
0x42	ASSR	—	—	—	—	AS2	TCN2UB	OCR2UB	TCR2UB	119
0x41	WDTCR	—	—	—	WDGF	WDL	WDIF	WDIF1	WDIF0	43
0x40	UBRRH	URSEL	—	—	—	UBRR[11:9]				158
0x3F	UCSRB	URSEL	UMSEL	UPM1	UPM0	USBS	UCS21	UCS20	UCPOL	156
0x3E	EEARH	—	—	—	—	—	—	—	EEAR8	20
0x3D	EEARL	EEAR7	EEAR6	EEAR5	EEAR4	EEAR3	EEAR2	EEAR1	EEAR0	20
0x3C	EEDR	EEPROM Data Register								20
0x3B	EEDR	—	—	—	—	EERIE	EEWE	EEWE	EERE	20
0x3A	Reserved									
0x39	Reserved									
0x38	PORTB	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	65
0x37	DDRB	DDB7	DDB6	DDB5	DDB4	DDB3	DDB2	DDB1	DDB0	65
0x36	PINB	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0	65
0x35	PORTC	—	PORTC6	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0	65
0x34	DDRC	—	DDC6	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0	65
0x33	PINC	—	PINC6	PINC5	PINC4	PINC3	PINC2	PINC1	PINC0	65
0x32	PORTD	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0	65
0x31	DDR0	DD07	DD06	DD05	DD04	DD03	DD02	DD01	DD00	65
0x30	PIND	PIND7	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0	65
0x2F	SPDR	SPI Data Register								131
0x2E	SPSR	SPIF	WCOL	—	—	—	—	—	SPI2X	131
0x2D	SPCR	SPIF	SPE	DSIF0	MSR	CPO	CPHA	SPR1	SPR0	129
0x2C	UDR	USART I/O Data Register								153
0x2B	UCSRA	RXC	TXC	UDGE	FE	DOR	PE	U2X	MPCM	154
0x2A	UCSRB	RXCIE	TXCIE	UDRIE	RXFEN	TXEN	UCS22	RXB8	TXB8	154
0x29	UBRRL	USART Baud Rate Register Low byte								158
0x28	ACSR	ACD	ACUG	ACD	ACI	ACIE	ADIC	ACIS1	ACIS0	194
0x27	ADMUX	RLS1	REFS0	ADLAR	—	MUX3	MUX2	MUX1	MUX0	235
0x26	ADCSRA	ADEN	ADSC	ADFR	ADIF	ADIE	ADPS2	ADPS1	ADPS0	237
0x25	ADCH	ADC Data Register High byte								208
0x24	ADCL	ADC Data Register Low byte								208
0x23	TWDR	Two-wire Serial Interface Data Register								173
0x22	TWAR	TWA6	TWA5	TWA4	TWA3	TWA2	TWA1	TWA0	WGC0	174

Register Summary (Continued)

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Page
0x21	WCSR	TW37	TW36	TW35	TW34	TW33		TWPS1	TWPS0	173
0x29	TWDR	Two-Wire Serial Interface Bit Rate Register								171

1. Refer to the USART description for details on how to access UBRRH and UCSRC.
2. For compatibility with future devices, reserved bits should be written to zero if accessed. Reserved I/O memory addresses should never be written.
3. Some of the Status Flags are cleared by writing a logical one to them. Note that the CBI and SBI instructions will operate on all bits in the I/O Register, writing a one back into any flag read as set, thus clearing the flag. The CBI and SBI instructions work with registers 0x00 to 0x1F only.



±15kV ESD-Protected, +5V RS-232 Transceivers

General Description

The MAX202E-MAX213E, MAX232E/MAX241E line drivers/receivers are designed for RS-232 and V.28 communications in harsh environments. Each transmitter output and receiver input is protected against ±15kV electrostatic discharge (ESD) shocks, without latching. The various combinations of features are outlined in the *Selection Guide*. The drivers and receivers for all ten devices meet all EIA/TIA-232E and CCITT V.28 specifications at data rates up to 120kbps, when loaded in accordance with the FIA/TIA-232F specification.

The MAX211E/MAX213E/MAX241E are available in 28-pin SO packages, as well as a 28-pin SSOP that uses 60% less board space. The MAX202E/MAX232E come in 16-pin narrow SO, wide SO, and DIP packages. The MAX203E comes in a 20-pin DIP/SO package, and needs no external charge-pump capacitors. The MAX205E comes in a 24-pin wide-DIP package, and also eliminates external charge-pump capacitors. The MAX206E/MAX207E/MAX208E come in 24-pin SO, SSOP, and narrow DIP packages. The MAX232E/MAX241E operate with four 1pF capacitors, while the MAX202E/MAX206E/MAX207E/MAX208E/MAX211E/MAX213E operate with four 0.1pF capacitors, further reducing cost and board space.

Applications

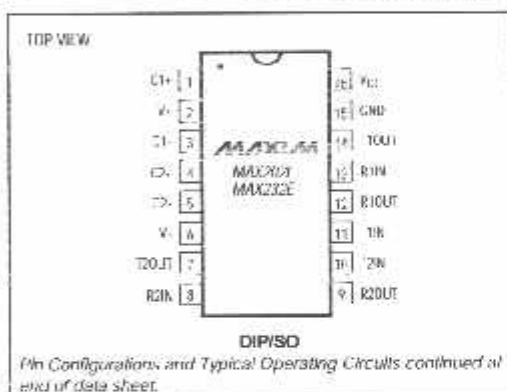
Notebook, Subnotebook, and Palmtop Computers
Battery-Powered Equipment
Hand-Held Equipment

Ordering Information appears at end of data sheet.

Features

- ESD Protection for RS-232 I/O Pins:
±15kV—Human Body Model
±8kV—IEC1000-4-2, Contact Discharge
±15kV—IEC1000-4-2, Air-Gap Discharge
- Latchup Free (unlike bipolar equivalents)
- Guaranteed 120kbps Data Rate—LapLink™ Compatible
- Guaranteed 3V/ps Min Slew Rate
- Operate from a Single +5V Power Supply

Pin Configurations



Selection Guide

PART	No. of RS-232 DRIVERS	No. of RS-232 RECEIVERS	RECEIVERS ACTIVE IN SHUTDOWN	No. of EXTERNAL CAPACITORS	LOW-POWER SHUTDOWN	TTL THREE-STATE
MAX202E	2	2	0	4 (0.1pF)	No	No
MAX203E	2	2	0	None	No	No
MAX205E	5	5	0	None	Yes	Yes
MAX206E	4	3	0	4 (0.1pF)	Yes	Yes
MAX207E	5	3	0	4 (0.1pF)	No	No
MAX208E	4	4	0	4 (0.1pF)	No	No
MAX211E	4	5	0	4 (0.1pF)	Yes	Yes
MAX213E	4	5	2	4 (0.1pF)	Yes	Yes
MAX232E	2	2	0	4 (1pF)	No	No
MAX241E	4	5	0	4 (1pF)	Yes	Yes

LapLink is a registered trademark of Travelling Software, Inc.



Maxim Integrated Products 1

For free samples & the latest literature: <http://www.maxim-ic.com>, or phone 1-800-998-8800

MAX202E-MAX213E, MAX232E/MAX241E

±15kV ESD-Protected, +5V RS-232 Transceivers

ABSOLUTE MAXIMUM RATINGS

V _{CC}	-0.3V to 6V	20-Pin SO (derate 10.00mW/°C above +70°C)	800mW
V _I	(V _{CC} - 0.3V) to +14V	24-Pin Narrow Plastic DIP	(derate 13.33mW/°C above +70°C)
V _O	-14V to +0.3V	24-Pin Wide Plastic DIP	1.07W
Input Voltages			
T _{IN}	-0.3V to (V _I + 0.3V)		
R _{IN}	±30V		
Output Voltages			
T _{OUT}	(V _O - 0.3V) to (V _I + 0.3V)		
R _{OUT}	-0.3V to (V _{CC} + 0.3V)		
Short-Circuit Duration, T _{OUT}	Continuous		
Continuous Power Dissipation (T _A = +70°C)			
16-Pin Plastic DIP (derate 10.53mW/°C above +70°C)	842mW		
16-Pin Narrow SO (derate 8.70mW/°C above +70°C)	696mW		
16-Pin Wide SO (derate 9.52mW/°C above +70°C)	762mW		
20-Pin Plastic DIP (derate 11.11mW/°C above +70°C)	889mW		
Operating Temperature Ranges			
MAX2 ₁ _EC_	-30°C to +70°C		
MAX2 ₁ _EE_	-40°C to +85°C		
Storage Temperature Range	-65°C to +165°C		
Lead Temperature (soldering, 10sec)	+300°C		

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{CC} = +5V ±10% for MAX202E/206E/208E/211E/213E/232E/241E, V_{CC} = +5V ±5% for MAX203E/205E/207E, C₁-C₄ = 0.1µF for MAX202E/206E/208E/211E/213E; C₁-C₄ = 1µF for MAX232E/241E; T_A = T_{MIN} to T_{MAX}, unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS		MIN	TYP	MAX	UNITS
DC CHARACTERISTICS							
V _{CC} Supply Current	I _{CC}	No load, T _A = +25°C	MAX202E/203E	8	15	mA	
			MAX205E-208E	11	20		
			MAX211E/213E	14	20		
			MAX232F	5	10		
			MAX241E	7	15		
Shutdown Supply Current	I _{SD}	T _A = +25°C, Figure 1	MAX205E/206E	1	10	µA	
			MAX211E/241E	1	10		
			MAX213E	15	30		
LOGIC							
Input Pull-Up Current		I _{IN} = 0V (MAX205E-208E/211E/213E/241E)		15	200	µA	
Input Leakage Current		I _{IN} = 0V to V _{CC} (MAX202E/203E/232E)			+10	µA	
Input Threshold Low	V _{IL}	I _{IN} = EN, SHDN (MAX213E) or FN, SHDN (MAX205E-208E/211E/241E)			0.8	V	
Input Threshold High	V _{IH}	I _{IN}		2.0		V	
		EN, SHDN (MAX213E) or FN, SHDN (MAX205E-208E/211E/241E)		2.4			
Output Voltage Low	V _{OL}	R _{OUT} , I _{OUT} = 3.2mA (MAX202E/203E/232E) or I _{OUT} = 1.5mA (MAX205E/208E/211E/213E/241E)			0.4	V	
Output Voltage High	V _{OH}	R _{OUT} , I _{OUT} = -1.0mA		3.5	V _{CC} - 0.4	V	
Output Leakage Current		EN = V _{CC} , EN = 0V, 0V ≤ R _{OUT} ≤ V _{CC} ; MAX205E-208E/211E/213E/241E outputs disabled		+0.05	+10	µA	

±15kV ESD-Protected, +5V RS-232 Transceivers

ELECTRICAL CHARACTERISTICS (continued)

V_{CC} = +5V ±10% for MAX202E/206E/208E/211E/213E/232E/241E; V_{CC} = +5V ±5% for MAX203L/205E/207E; C₁–C₄ = 0.1pF for MAX202E/206E/207E/208E/211E/213E; C₁–C₄ = 1pF for MAX232E/241E; T_A = T_{MIN} to T_{MAX}; unless otherwise noted. Typical values are at T_A = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
EIA/TIA-232E RECEIVER INPUTS						
Input Voltage Range			-30		30	V
Input Threshold Low		T _A = +25°C, V _{CC} = 5V	All parts, normal operation	0.8	1.2	V
			MAX213E (R4, R5), SHDN = 0V, EN = V _{CC}	0.6	1.5	
Input Threshold High		T _A = +25°C, V _{CC} = 5V	All parts, normal operation	1.7	2.4	V
			MAX213E (R4, R5), SHDN = 0V, EN = V _{CC}	1.5	2.4	
Input Hysteresis		V _{CC} = 5V, no hysteresis in shutdown	0.2	0.5	1.0	V
Input Resistance		T _A = +25°C, V _{CC} = 5V	3	5	7	kΩ
EIA/TIA-232E TRANSMITTER OUTPUTS						
Output Voltage Swing		All drivers loaded with 3kΩ to ground (Note 1)	±5	±9		V
Output Resistance		V _{CC} = V ₊ = V ₋ = 0V, V _{OUT} = ±2V	300			Ω
Output Short-Circuit Current				±10	±60	mA
TIMING CHARACTERISTICS						
Maximum Data Rate		R _L = 3kΩ to 7kΩ, C _L = 50pF to 1000pF, one transmitter switching	120			kbps
Receiver Propagation Delay	t _{PLHR} t _{PHLR}	C _L = 150pF	All parts, normal operation	0.5	10	μs
			MAX213E (R4, R5), SHDN = 0V, EN = V _{CC}	4	40	
Receiver Output Enable Time		MAX205L/206L/211E/213E/241E normal operation, Figure 2		600		ns
Receiver Output Disable Time		MAX205E/206E/211E/213E/241E normal operation, Figure 2		200		ns
Transmitter Propagation Delay	t _{PLHT} t _{PHLT}	R _L = 3kΩ, C _L = 2500pF, all transmitters loaded		2		μs
Transition-Region Slew Rate		T _A = +25°C, V _{CC} = 5V, R _L = 3kΩ to 7kΩ, C _L = 50pF to 1000pF, measured from -3V to +3V or +3V to -2V, Figure 3	3	5	30	V/ps
ESD PERFORMANCE: TRANSMITTER OUTPUTS, RECEIVER INPUTS						
ESD Protection Voltage		Human Body Model		±15		kV
		IEC1000-4-2, Contact Discharge		±6		
		IEC1000-4-2, Air-Gap Discharge		±15		

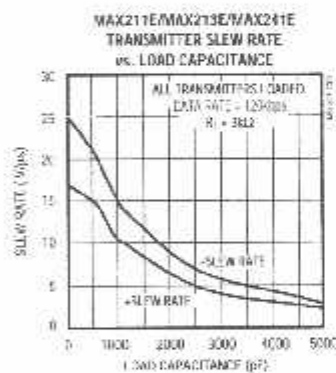
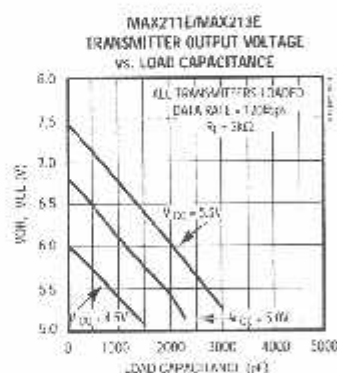
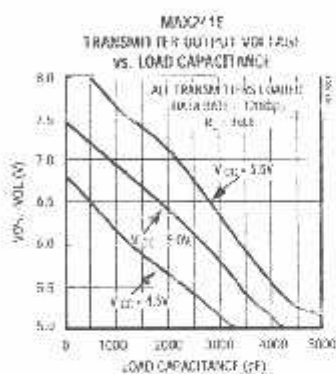
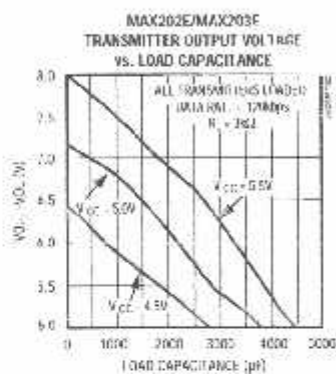
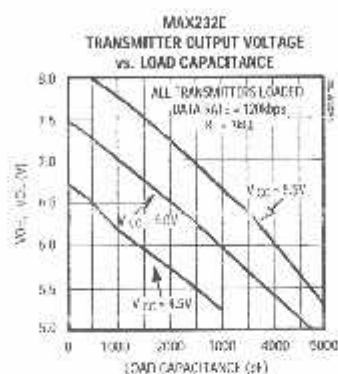
Note 1: MAX211EE tested with V_{CC} = +5V ±5%

MAX202E-MAX213E, MAX232E/MAX241E

$\pm 15\text{kV}$ ESD-Protected, +5V RS-232 Transceivers

Typical Operating Characteristics

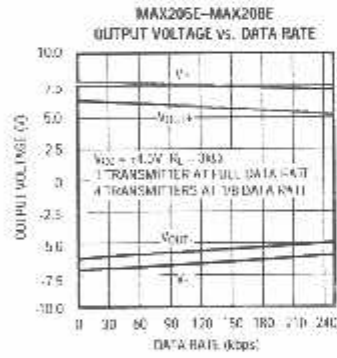
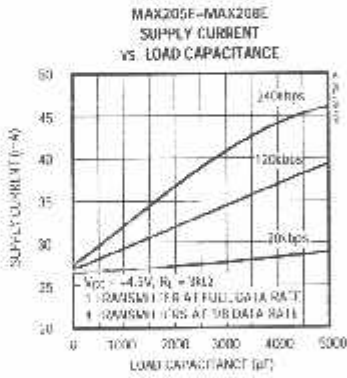
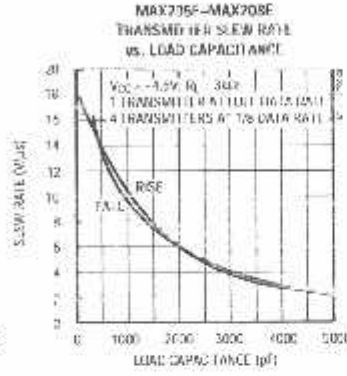
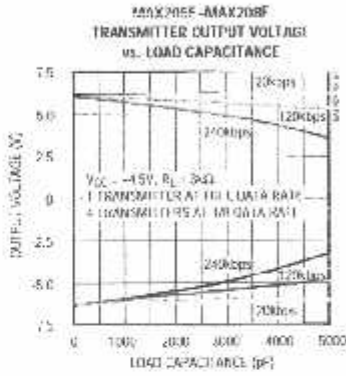
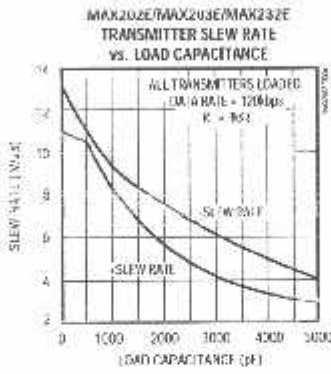
(Typical Operating Circuits, $V_{CC} = +5\text{V}$, $T_A = +25^\circ\text{C}$, unless otherwise noted.)



±15kV ESD-Protected, +5V RS-232 Transceivers

Typical Operating Characteristics (continued)

(Typical Operating Circuits, $V_{CC} = +5V$, $T_A = +25^\circ C$, unless otherwise noted.)



MAX202E-MAX213E, MAX232E/MAX241E

LM567/LM567C Tone Decoder

General Description

The LM567 and LM567C are general purpose tone decoders designed to provide a saturated transistor switch to ground when an input signal is present within the passband. The circuit consists of an I and Q detector driven by a voltage controlled oscillator which determines the center frequency of the decoder. External components are used to independently set center frequency, bandwidth and output delay.

Features

- 20 to 1 frequency range with an external resistor
- Logic compatible output with 100 mA current sinking capability
- Bandwidth adjustable from 0 to 14%

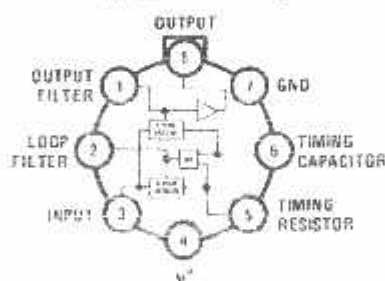
- High rejection of out of band signals and noise
- Immunity to false signals
- Highly stable center frequency
- Center frequency adjustable from 0.01 Hz to 500 kHz

Applications

- Touch tone decoding
- Precision oscillator
- Frequency monitoring and control
- Wide band FSK demodulation
- Ultrasonic controls
- Carrier current remote controls
- Communications paging decoders

Connection Diagrams

Metal Can Package

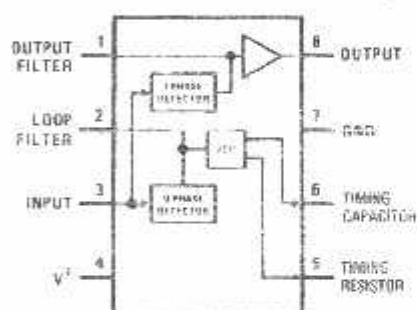


06017001

Top View

Order Number LM567H or LM567CH
See NS Package Number H08C

Dual-In-Line and Small Outline Packages



06017002

Top View

Order Number LM567CM
See NS Package Number M08A
Order Number LM567CN
See NS Package Number N08E

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage Pin	9V
Power Dissipation (Note 2)	1100 mW
V_R	15V
V_S	-10V
V_{S2}	$V_A + 0.5V$
Storage Temperature Range	-65°C to +150°C
Operating Temperature Range	

LM567H	-55°C to +125°C
LM567CH, LM567CM, LM567CN	0°C to +70°C

Soldering Information

Dual-In-Line Package	
Soldering (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

Electrical Characteristics

AC Test Circuit, $T_A = 25^\circ\text{C}$, $V^+ = 5V$

Parameters	Conditions	LM567			LM567C/LM567CM			Units
		Min	Typ	Max	Min	Typ	Max	
Power Supply Voltage Range		4.75	5.0	9.0	4.75	5.0	9.0	V
Power Supply Current Quiescent	$R_L = 20k$		6	8		7	10	mA
Power Supply Current Activated	$R_L = 20k$		11	13		12	15	mA
Input Resistance		18	20		15	20		k Ω
Smallest Detectable Input Voltage	$I_{L1} = 100\text{ mA}$, $I_i = I_o$		20	25		20	25	mVrms
Largest No Output Input Voltage	$I_{L1} = 100\text{ mA}$, $I_i = I_o$	10	15		10	15		mVrms
Largest Simultaneous Outband Signal to Inband Signal Ratio			6			6		dB
Minimum input Signal to Wideband Noise Ratio	$B_n = 140\text{ kHz}$		-6			-5		dB
Largest Detection Bandwidth		12	14	16	10	14	16	% of f_o
Largest Detection Bandwidth Skew			1	2		2	3	% of f_o
Largest Detection Bandwidth Variation with Temperature			± 0.1			± 0.1		%/°C
Largest Detection Bandwidth Variation with Supply Voltage	4.75-6.75V		± 1	± 2		± 1	± 5	%V
Highest Center Frequency		100	500		100	500		kHz
Center Frequency Stability (4.75-5.75V)	$0 < T_A < 70$		35 ± 60			35 ± 60		ppm/°C
	$-55 < T_A < +125$		35 ± 140			35 ± 140		ppm/°C
Center Frequency Shift with Supply Voltage	4.75V-6.75V		0.5	1.0		0.4	2.0	%/V
	4.75V-9V			2.0			2.0	%/V
Fastest ON-OFF Cycling Rate			$1_o/20$			$1_o/20$		
Output Leakage Current	$V_B = 15V$		0.01	25		0.01	25	μA
Output Saturation Voltage	$e_i = 25\text{ mV}$, $I_H = 30\text{ mA}$		0.2	0.4		0.2	0.4	V
	$e_i = 25\text{ mV}$, $I_B = 100\text{ mA}$		0.6	1.0		0.6	1.0	
Output Fall Time			30			30		ns
Output Rise Time			150			150		ns

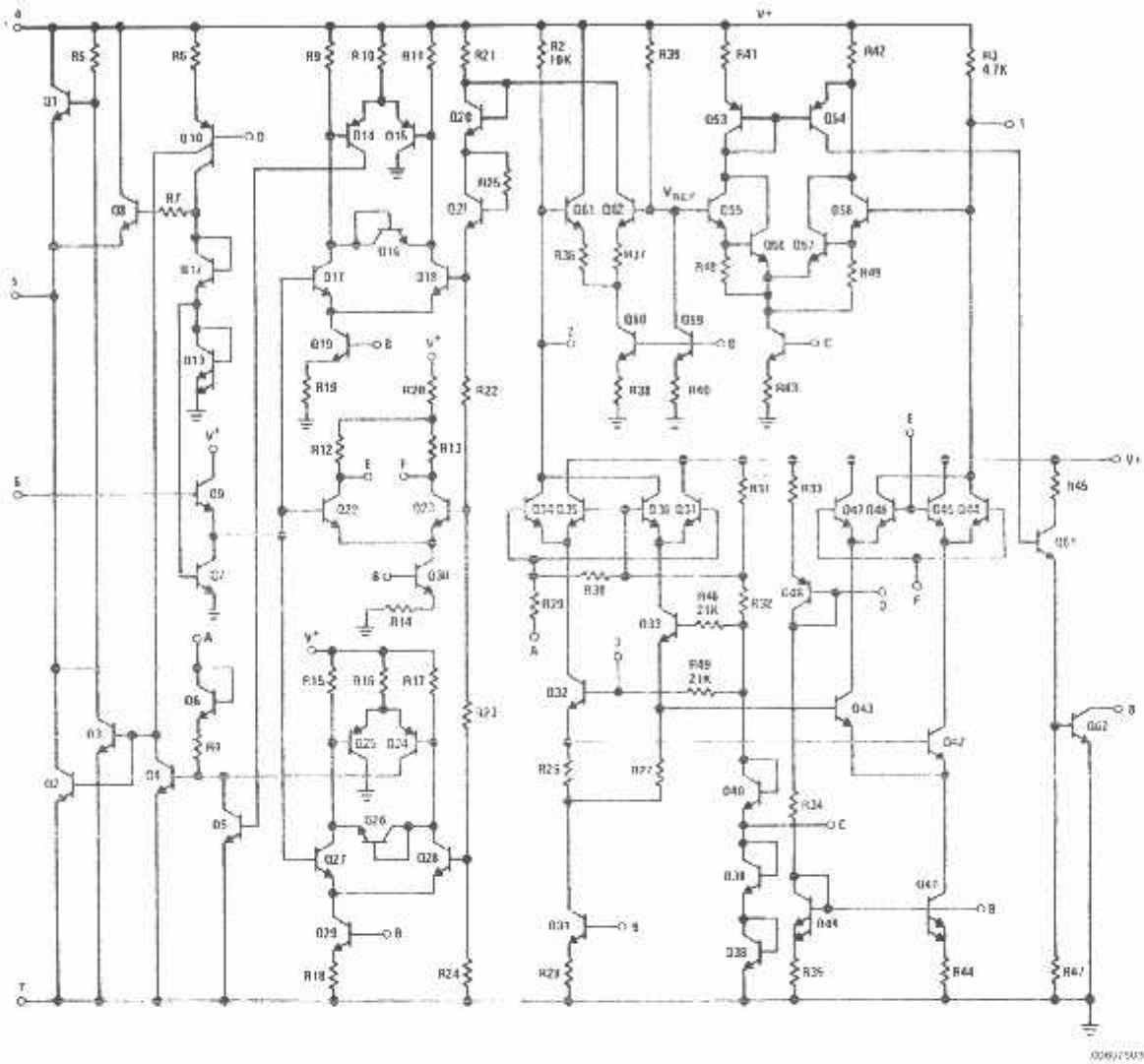
Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. Operating Ratings indicate conditions for which the device is functional, but do not guarantee specific performance limits. Electrical Characteristics state DC and AC electrical specifications under particular test conditions which guarantee specific performance limits. This assumes that the device is within the Operating Ratings. Specifications are not guaranteed for parameters where no limit is given; however, the typical value is a good indication of device performance.

Note 2: The maximum junction temperature of the LM567 and LM567C is 150°C. For operating at elevated temperatures, devices in the TO-5 package must be derated based on a thermal resistance of 150°C/W, junction to ambient or 45°C/W, junction to case. For the DIP the device must be derated based on a thermal resistance of 110°C/W, junction to ambient. For the Small Outline package, the device must be derated based on a thermal resistance of 100°C/W, junction to ambient.

Note 3: Refer to HFT3567X drawing for specifications of military LM567-1 version.

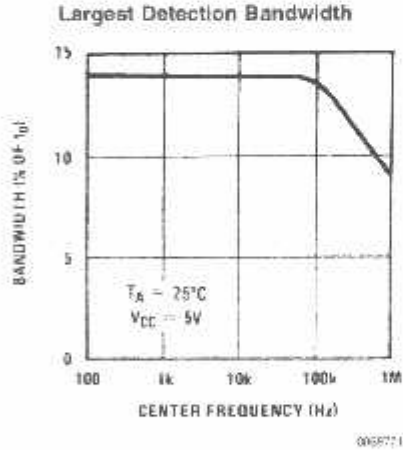
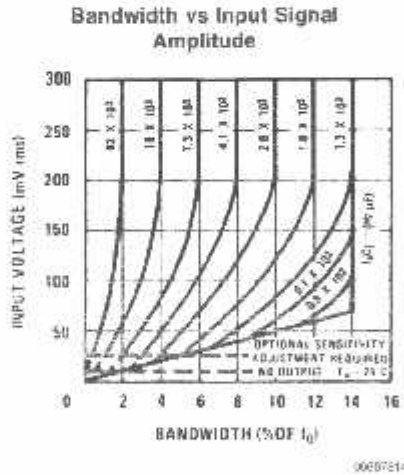
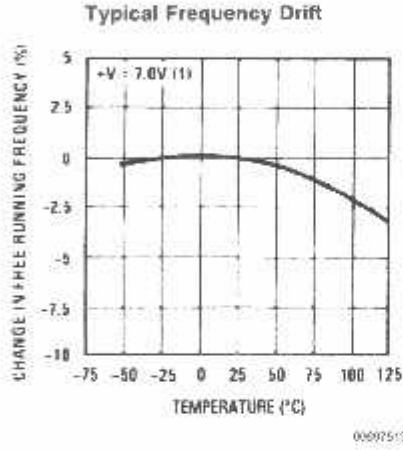
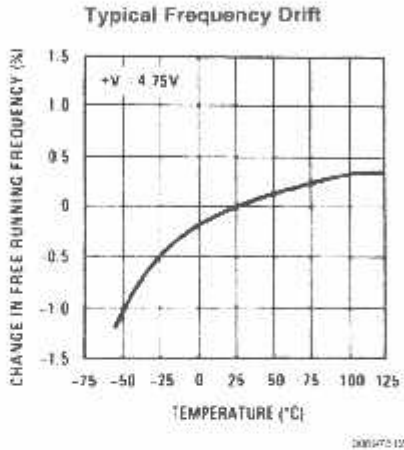
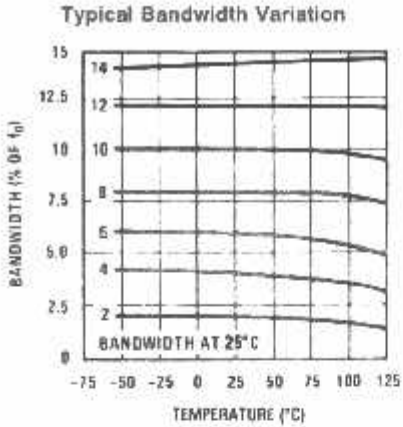
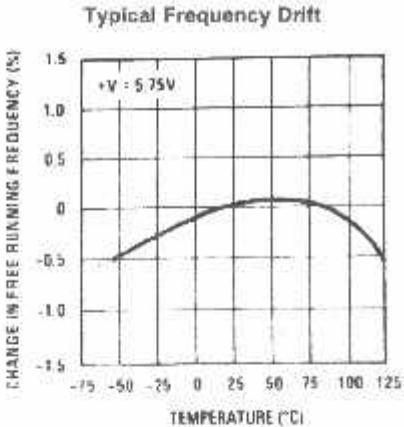
Schematic Diagram

LM567/LM567C

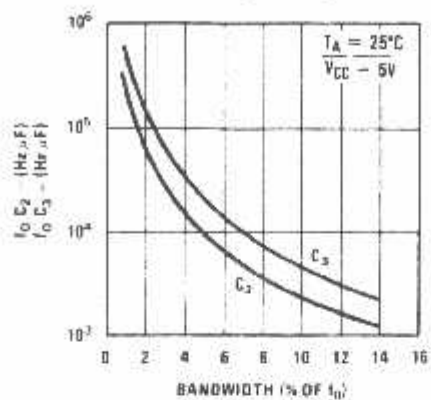


006/7503

Typical Performance Characteristics

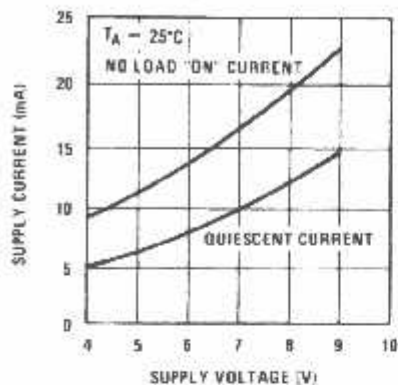


Typical Performance Characteristics (Continued)

Detection Bandwidth as a Function of C_2 and C_3 

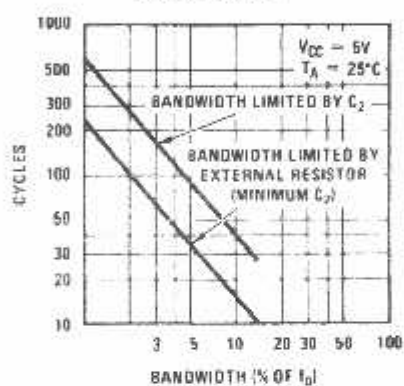
00007515

Typical Supply Current vs Supply Voltage



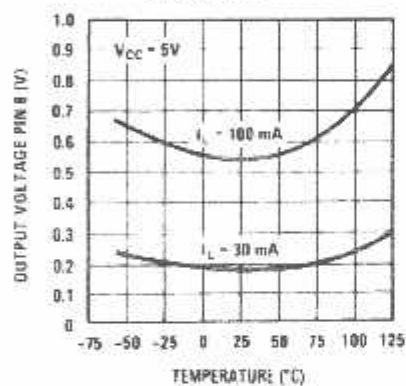
00007516

Greatest Number of Cycles Before Output



00007517

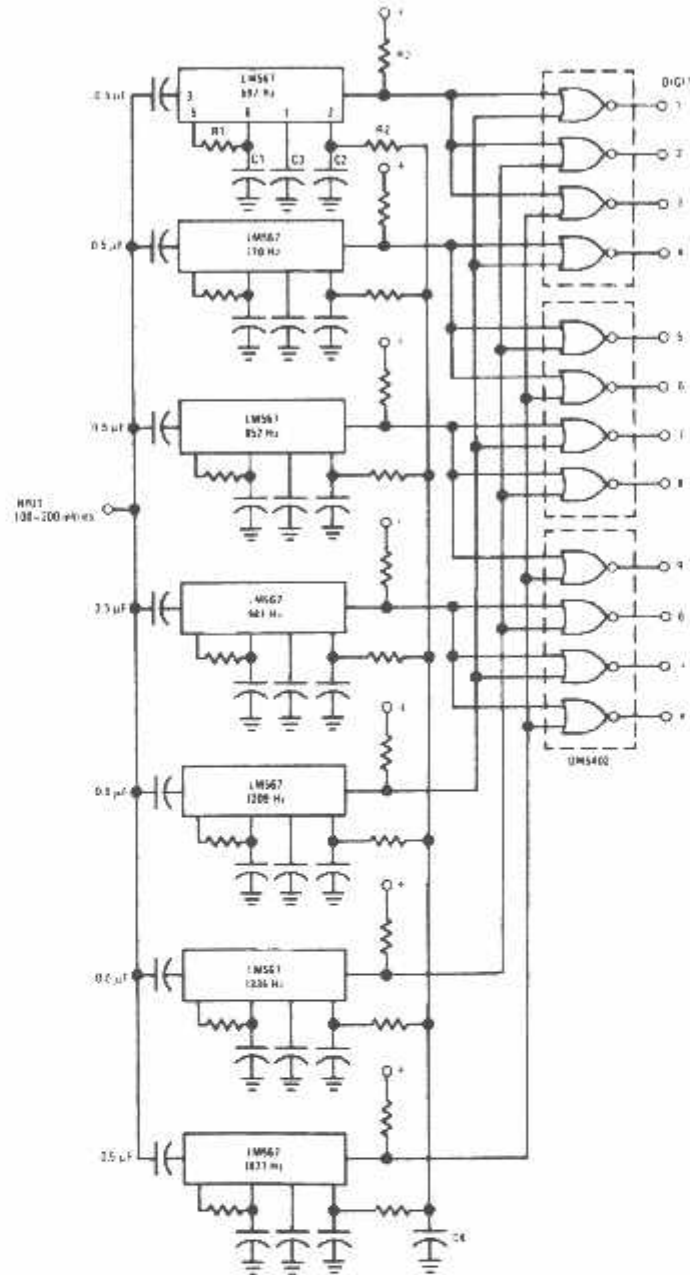
Typical Output Voltage vs Temperature



00007518

Typical Applications

Touch-Tone Decoder



00687216

Component values (typ)

R1 5.6 to 15k

R2 4.7k

R3 20k

C1 0.1 μ F

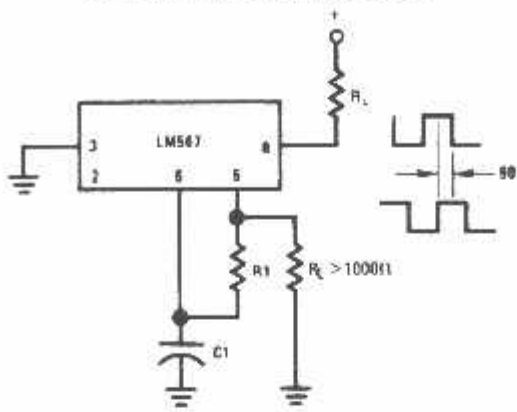
C2 1.0 mfd 6V

C3 2.2 mfd 6V

C4 250 mfd 6V

Typical Applications (Continued)

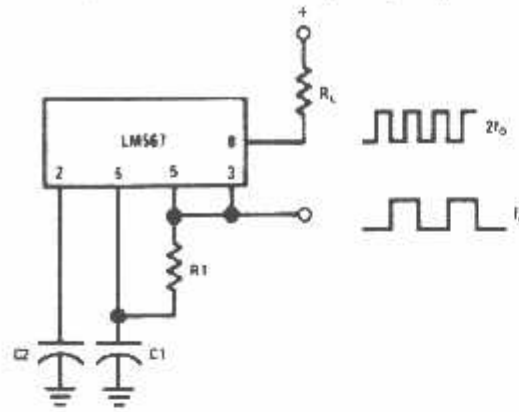
Oscillator with Quadrature Output



Connect Pin 3 to 2.8V to Invert Output

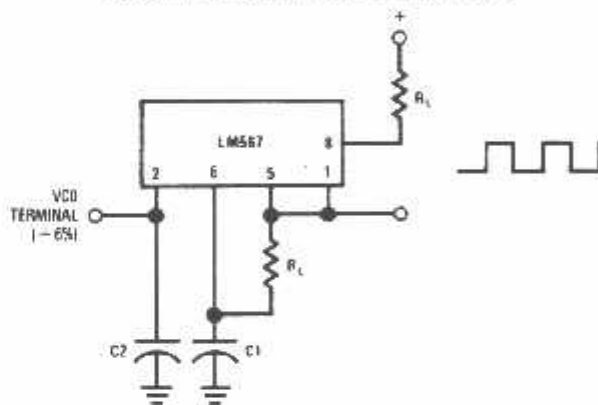
DS067750B

Oscillator with Double Frequency Output



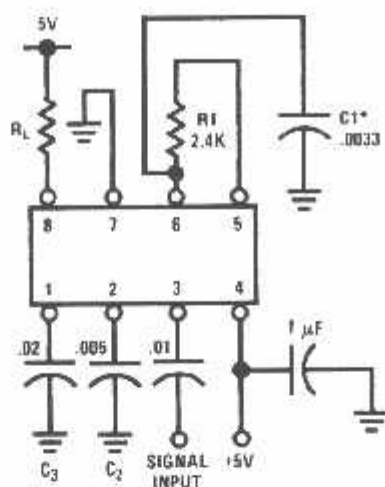
DS067750B

Precision Oscillator Drive 100 mA Loads



DS067750B

AC Test Circuit



$f_1 = 100 \text{ kHz} \pm 5\%$

*Note: Adjust for $f_o = 100 \text{ kHz}$.

00497508

Applications Information

The center frequency of the tone decoder is equal to the free running frequency of the VCO. This is given by

$$f_o \approx \frac{1}{1.1 R_1 C_1}$$

The bandwidth of the filter may be found from the approximation

$$BW = 1070 \sqrt{\frac{V_i}{f_o C_2}} \text{ in } \% \text{ of } f_o$$

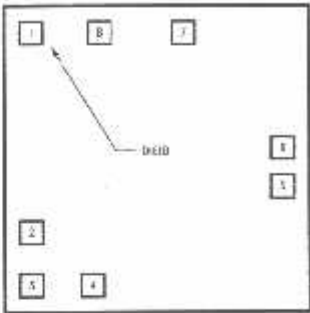
Where:

V_i = Input voltage (volts rms), $V_i \leq 200\text{mV}$

C_2 = Capacitance at Pin 2 (μF)

M567C MDC MWC
ONE DECODER

LM567/LM567C



Die Layout (C - Step)

DIE/WAFER CHARACTERISTICS

Fabrication Attributes		General Die Information	
Physical Die Identification	LM567C	Bond Pad Opening Size (min)	91µm x 91µm
Die Step	C	Bond Pad Metalization	0.5% COPPER_BAL. ALUMINUM
Physical Attributes		Passivation	VOM NITRIDE
Wafer Diameter	150mm	Back Side Metal	BARE BACK
Die Size (Drawn)	1600µm x 1626µm 63.0mils x 64.0mils	Back Side Connection	Floating
Thickness	406µm Nominal		
Pin Pitch	198µm Nominal		

Special Assembly Requirements:

Note: Actual die size is rounded to the nearest micron.

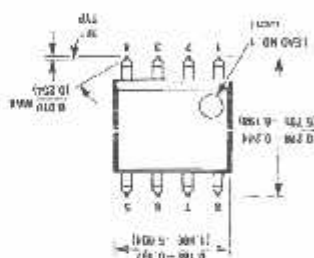
Die Bond Pad Coordinate Locations (C - Step)

(Referenced to die center, coordinates in µm) NC = No Connection, N.U. = Not Used

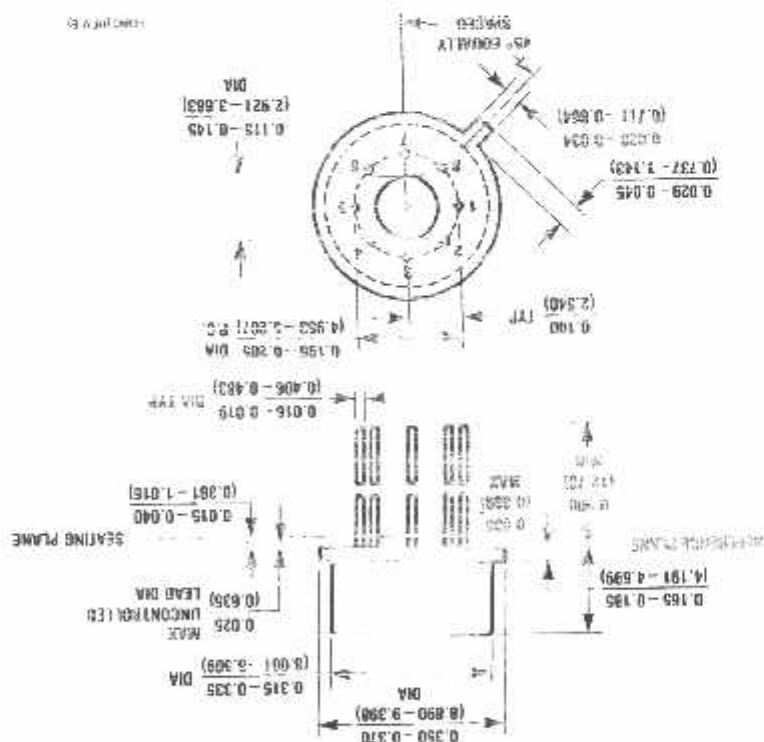
SIGNAL NAME	PAD# NUMBER	X/Y COORDINATES		PAD SIZE		
		X	Y	X		Y
OUTPUT FILTER	1	-673	686	91	x	91
LOOP FILTER	2	-673	-419	91	x	91
INPUT	3	-673	-686	91	x	91
V+	4	-356	-686	91	x	91
TIMING RES	5	673	-122	91	x	91
TIMING CAP	6	673	76	91	x	91
GND	7	178	686	117	x	91
OUTPUT	8	-318	679	117	x	104

LM567C MDC MWC
TONE DECODER (Continued)

IN U.S.A	
Tel #:	1 877 Dial Die 1 877 342 5343
Fax:	1 207 541 8140
IN EUROPE	
Tel:	49 (0) 8141 351492 / 1495
Fax:	49 (0) 8141 351470
IN ASIA PACIFIC	
Tel:	(852) 27371701
IN JAPAN	
Tel:	81 043 299 2308

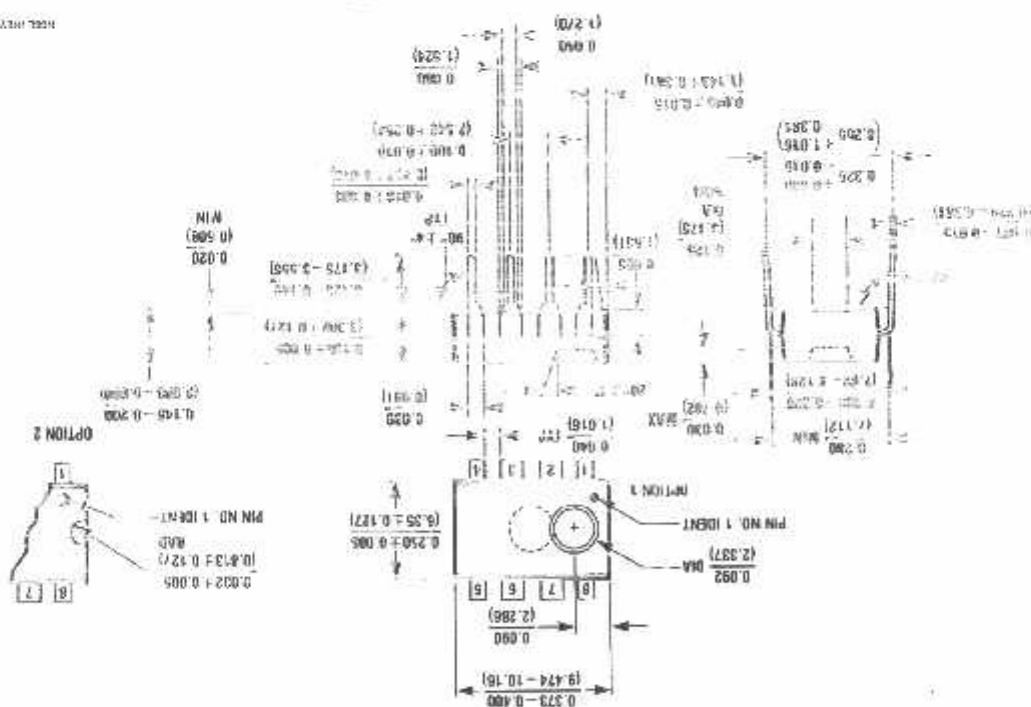


City and County of Denver



Physical Dimensions
inches (millimeters)
unless otherwise noted

M5671/M567C Tone Decoder

Physical Dimensions
inches (millimeters) unless otherwise noted (Continued)

Mailed Dual-line Package (N)
 Order Number L1567CN
 NS Package Number N08E

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

For the most current product information visit us at www.national.com.

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE-SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT AND GENERAL COUNCIL OF NATIONAL STRUMENTATION CORPORATION. (As used herein)

- As a result of the above, the Commission has concluded that the proposed transaction is in the best interests of the shareholders of the Company and that the proposed transaction is fair to the shareholders of the Company.

EVANNFU SUBSTANTIF COMPT 12/11/11

2014-2015-2016-2017-2018-2019-2020-2021-2022-2023-2024-2025-2026-2027-2028-2029-2030-2031-2032-2033-2034-2035-2036-2037-2038-2039-2040-2041-2042-2043-2044-2045-2046-2047-2048-2049-2050-2051-2052-2053-2054-2055-2056-2057-2058-2059-2060-2061-2062-2063-2064-2065-2066-2067-2068-2069-2070-2071-2072-2073-2074-2075-2076-2077-2078-2079-2080-2081-2082-2083-2084-2085-2086-2087-2088-2089-2090-2091-2092-2093-2094-2095-2096-2097-2098-2099-2100-2101-2102-2103-2104-2105-2106-2107-2108-2109-2110-2111-2112-2113-2114-2115-2116-2117-2118-2119-2120-2121-2122-2123-2124-2125-2126-2127-2128-2129-2130-2131-2132-2133-2134-2135-2136-2137-2138-2139-2140-2141-2142-2143-2144-2145-2146-2147-2148-2149-2150-2151-2152-2153-2154-2155-2156-2157-2158-2159-2160-2161-2162-2163-2164-2165-2166-2167-2168-2169-2170-2171-2172-2173-2174-2175-2176-2177-2178-2179-2180-2181-2182-2183-2184-2185-2186-2187-2188-2189-2190-2191-2192-2193-2194-2195-2196-2197-2198-2199-2200-2201-2202-2203-2204-2205-2206-2207-2208-2209-2210-2211-2212-2213-2214-2215-2216-2217-2218-2219-2220-2221-2222-2223-2224-2225-2226-2227-2228-2229-2230-2231-2232-2233-2234-2235-2236-2237-2238-2239-2240-2241-2242-2243-2244-2245-2246-2247-2248-2249-2250-2251-2252-2253-2254-2255-2256-2257-2258-2259-2260-2261-2262-2263-2264-2265-2266-2267-2268-2269-2270-2271-2272-2273-2274-2275-2276-2277-2278-2279-2280-2281-2282-2283-2284-2285-2286-2287-2288-2289-2290-2291-2292-2293-2294-2295-2296-2297-2298-2299-2300-2301-2302-2303-2304-2305-2306-2307-2308-2309-2310-2311-2312-2313-2314-2315-2316-2317-2318-2319-2320-2321-2322-2323-2324-2325-2326-2327-2328-2329-2330-2331-2332-2333-2334-2335-2336-2337-2338-2339-2340-2341-2342-2343-2344-2345-2346-2347-2348-2349-2350-2351-2352-2353-2354-2355-2356-2357-2358-2359-2360-2361-2362-2363-2364-2365-2366-2367-2368-2369-2370-2371-2372-2373-2374-2375-2376-2377-2378-2379-2380-2381-2382-2383-2384-2385-2386-2387-2388-2389-2390-2391-2392-2393-2394-2395-2396-2397-2398-2399-2400-2401-2402-2403-2404-2405-2406-2407-2408-2409-2410-2411-2412-2413-2414-2415-2416-2417-2418-2419-2420-2421-2422-2423-2424-2425-2426-2427-2428-2429-2430-2431-2432-2433-2434-2435-2436-2437-2438-2439-2440-2441-2442-2443-2444-2445-2446-2447-2448-2449-2450-2451-2452-2453-2454-2455-2456-2457-2458-2459-2460-2461-2462-2463-2464-2465-2466-2467-2468-2469-2470-2471-2472-2473-2474-2475-2476-2477-2478-2479-2480-2481-2482-2483-2484-2485-2486-2487-2488-2489-2490-2491-2492-2493-2494-2495-2496-2497-2498-2499-2500-2501-2502-2503-2504-2505-2506-2507-2508-2509-2510-2511-2512-2513-2514-2515-2516-2517-2518-2519-2520-2521-2522-2523-2524-2525-2526-2527-2528-2529-2530-2531-2532-2533-2534-2535-2536-2537-2538-2539-2540-2541-2542-2543-2544-2545-2546-2547-2548-2549-2550-2551-2552-2553-2554-2555-2556-2557-2558-2559-2560-2561-2562-2563-2564-2565-2566-2567-2568-2569-2570-2571-2572-2573-2574-2575-2576-2577-2578-2579-2580-2581-2582-2583-2584-2585-2586-2587-2588-2589-2590-2591-2592-2593-2594-2595-2596-2597-2598-2599-2600-2601-2602-2603-2604-2605-2606-2607-2608-2609-2610-2611-2612-2613-2614-2615-2616-2617-2618-2619-2620-2621-2622-2623-2624-2625-2626-2627-2628-2629-2630-2631-2632-2633-2634-2635-2636-2637-2638-2639-2640-2641-2642-2643-2644-2645-2646-2647-2648-2649-2650-2651-2652-2653-2654-2655-2656-2657-2658-2659-2660-2661-2662-2663-2664-2665-2666-2667-2668-2669-2670-2671-2672-2673-2674-2675-2676-2677-2678-2679-2680-2681-2682-2683-2684-2685-2686-2687-2688-2689-2690-2691-2692-2693-2694-2695-2696-2697-2698-2699-2700-2701-2702-2703-2704-2705-2706-2707-2708-2709-2710-2711-2712-2713-2714-2715-2716-2717-2718-2719-2720-2721-2722-2723-2724-2725-2726-2727-2728-2729-2730-2731-2732-2733-2734-2735-2736-2737-2738-2739-2740-2741-2742-2743-2744-2745-2746-2747-2748-2749-2750-2751-2752-2753-2754-2755-2756-2757-2758-2759-2760-2761-2762-2763-2764-2765-2766-2767-2768-2769-2770-2771-2772-2773-2774-2775-2776-2777-2778-2779-2780-2781-2782-2783-2784-2785-2786-2787-2788-2789-2790-2791-2792-2793-2794-2795-2796-2797-2798-2799-2800-2801-2802-2803-2804-2805-2806-2807-2808-2809-2810-2811-2812-2813-2814-2815-2816-2817-2818-2819-2820-2821-2822-2823-2824-2825-2826-2827-2828-2829-2830-2831-2832

8084-2(2-008)-1 (B)

[illegible]

1994-1995: 112, 101
1996-1997: 112, 101
1998-1999: 112, 101
2000-2001: 112, 101
2002-2003: 112, 101
2004-2005: 112, 101
2006-2007: 112, 101
2008-2009: 112, 101
2010-2011: 112, 101
2012-2013: 112, 101
2014-2015: 112, 101
2016-2017: 112, 101
2018-2019: 112, 101
2020-2021: 112, 101
2022-2023: 112, 101
2024-2025: 112, 101
2026-2027: 112, 101
2028-2029: 112, 101
2030-2031: 112, 101
2032-2033: 112, 101
2034-2035: 112, 101
2036-2037: 112, 101
2038-2039: 112, 101
2040-2041: 112, 101
2042-2043: 112, 101
2044-2045: 112, 101
2046-2047: 112, 101
2048-2049: 112, 101
2050-2051: 112, 101
2052-2053: 112, 101
2054-2055: 112, 101
2056-2057: 112, 101
2058-2059: 112, 101
2060-2061: 112, 101
2062-2063: 112, 101
2064-2065: 112, 101
2066-2067: 112, 101
2068-2069: 112, 101
2070-2071: 112, 101
2072-2073: 112, 101
2074-2075: 112, 101
2076-2077: 112, 101
2078-2079: 112, 101
2080-2081: 112, 101
2082-2083: 112, 101
2084-2085: 112, 101
2086-2087: 112, 101
2088-2089: 112, 101
2090-2091: 112, 101
2092-2093: 112, 101
2094-2095: 112, 101
2096-2097: 112, 101
2098-2099: 112, 101
2100-2101: 112, 101
2102-2103: 112, 101
2104-2105: 112, 101
2106-2107: 112, 101
2108-2109: 112, 101
2110-2111: 112, 101
2112-2113: 112, 101
2114-2115: 112, 101
2116-2117: 112, 101
2118-2119: 112, 101
2120-2121: 112, 101
2122-2123: 112, 101
2124-2125: 112, 101
2126-2127: 112, 101
2128-2129: 112, 101
2130-2131: 112, 101
2132-2133: 112, 101
2134-2135: 112, 101
2136-2137: 112, 101
2138-2139: 112, 101
2140-2141: 112, 101
2142-2143: 112, 101
2144-2145: 112, 101
2146-2147: 112, 101
2148-2149: 112, 101
2150-2151: 112, 101
2152-2153: 112, 101
2154-2155: 112, 101
2156-2157: 112, 101
2158-2159: 112, 101
2160-2161: 112, 101
2162-2163: 112, 101
2164-2165: 112, 101
2166-2167: 112, 101
2168-2169: 112, 101
2170-2171: 112, 101
2172-2173: 112, 101
2174-2175: 112, 101
2176-2177: 112, 101
2178-2179: 112, 101
2180-2181: 112, 101
2182-2183: 112, 101
2184-2185: 112, 101
2186-2187: 112, 101
2188-2189: 112, 101
2190-2191: 112, 101
2192-2193: 112, 101
2194-2195: 112, 101
2196-2197: 112, 101
2198-2199: 112, 101
2200-2201: 112, 101
2202-2203: 112, 101
2204-2205: 112, 101
2206-2207: 112, 101
2208-2209: 112, 101
2210-2211: 112, 101
2212-2213: 112, 101
2214-2215: 112, 101
2216-2217: 112, 101
2218-2219: 112, 101
2220-2221: 112, 101
2222-2223: 112, 101
2224-2225: 112, 101
2226-2227: 112, 101
2228-2229: 112, 101
2230-2231: 112, 101
2232-2233: 112, 101
2234-2235: 112, 101
2236-2237: 112, 101
2238-2239: 112, 101
2240-2241: 112, 101
2242-2243: 112, 101
2244-2245: 112, 101
2246-2247: 112, 101
2248-2249: 112, 101
2250-2251: 112, 101
2252-2253: 112, 101
2254-2255: 112, 101
2256-2257: 112, 101
2258-2259: 112, 101
2260-2261: 112, 101
2262-2263: 112, 101
2264-2265: 112, 101
2266-2267: 112, 101
2268-2269: 112, 101
2270-2271: 112, 101
2272-2273: 112, 101
2274-2275: 112, 101
2276-2277: 112, 101
2278-2279: 112, 101
2280-2281: 112, 101
2282-2283: 112, 101
2284-2285: 112, 101
2286-2287: 112, 101
2288-2289: 112, 101
2290-2291: 112, 101
2292-2293: 112, 101
2294-2295: 112, 101
2296-2297: 112, 101
2298-2299: 112, 101
2300-2301: 112, 101
2302-2303: 112, 101
2304-2305: 112, 101
2306-2307: 112, 101
2308-2309: 112, 101
2310-2311: 112, 101
2312-2313: 112, 101
2314-2315: 112, 101
2316-2317: 112, 101
2318-2319: 112, 101
2320-2321: 112, 101
2322-2323: 112, 101
2324-2325: 112, 101
2326-2327: 112, 101
2328-2329: 112, 101
2330-2331: 112, 101
2332-2333: 112, 101
2334-2335: 112, 101
2336-2337: 112, 101
2338-2339: 112, 101
2340-2341: 112, 101
2342-2343: 112, 101
2344-2345: 112, 101
2346-2347: 112, 101
2348-2349: 112, 101
2350-2351: 112, 101
2352-2353: 112, 101
2354-2355: 112, 101
2356-2357: 112, 101
2358-2359: 112, 101
2360-2361: 112, 101
2362-2363: 112, 101
2364-2365: 112, 101
2366-2367: 112, 101
2368-2369: 112, 101
2370-2371: 112, 101
2372-2373: 112, 101
2374-2375: 112, 101
2376-2377: 112, 101
2378-2379: 112, 101
2380-2381: 112, 101
2382-2383: 112, 101

Features

- 1200 baud BELL 202 and CCITT V.23 Frequency Shift Keying (FSK) demodulation
- Compatible with Bellcore TR-NWT-000030 and SR-TSV-002476
- High input sensitivity: -36dBm
- Simple serial 3-wire data interface eliminating the need for a UART
- Power down mode
- Internal gain adjustable amplifier
- Carrier detect status output
- Uses 3.579545 MHz crystal or ceramic resonator
- Single 5V power supply
- Low power CMOS technology

Applications

- Calling Number Delivery (CND), Calling Name Delivery (CNAM) and Calling Identity on Call Waiting (CICW) features of Bellcore CLASSSM service
- Feature phones
- Phone set adjunct boxes
- FAX machines
- Telephone Answering machines
- Database query systems

ISSUE 4

May 1995

Ordering Information

MT8841AE	16 Pin Plastic DIP
MT8841AS	16 Pin SOIC
MT8841AN	20 Pin SSOP
-40 °C to +85 °C	

Description

The MT8841 Calling Number Identification Circuit (CNIC) is a CMOS integrated circuit providing an interface to various calling line information delivery services that utilize 1200 baud BELL 202 or CCITT V.23 FSK voiceband data transmission schemes. The CNIC receives and demodulates the signal and outputs data into a simple 3-wire serial interface.

Typically, the FSK modulated data containing information on the calling line is sent before alerting the called party or during the silent interval between the first and second ring using either CCITT V.23 recommendations or Bell 202 specifications.

The CNIC accepts and demodulates both CCITT V.23 and BELL 202 signals. Along with serial data and clock, the CNIC provides a data ready signal to indicate the reception of every 8-bit character sent from the Central Office. The received data can be processed externally by a microcontroller, stored in memory, or displayed as is, depending on the application.

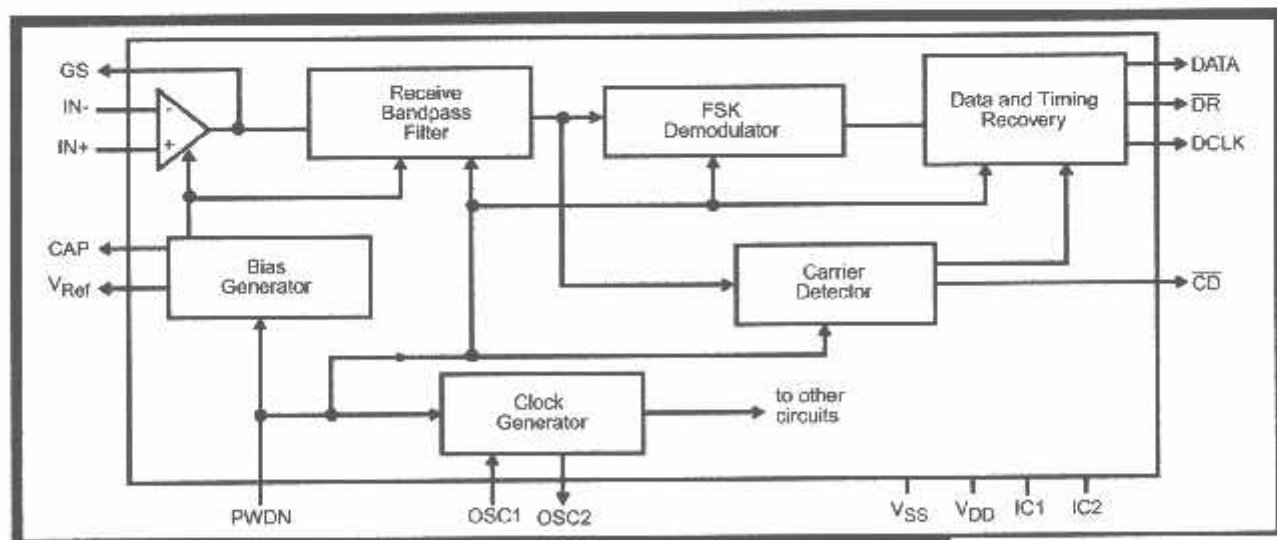


Figure 1 - Functional Block Diagram

CLASSSM is a service mark of Bellcore



Figure 2 - Pin Connections

Description

n #	Name	Description
20		
1	IN+	Non-Inverting Op-Amp (Input).
2	IN-	Inverting Op-Amp (Input).
3	GS	Gain Select (Output). Gives access to op-amp output for connection of feedback resistor.
4	V _{Ref}	Voltage Reference (Output). Nominally V _{DD/2} . This is used to bias the op-amp inputs.
5	CAP	Capacitor. Connect a 0.1µF capacitor to V _{SS} .
7	OSC1	Oscillator (Input). Crystal or ceramic resonator connection. This pin can be driven directly from an external clocking source.
9	OSC2	Oscillator (Output). Crystal or ceramic resonator connection. When OSC1 is driven by an external clock, this pin should be left open.
10	V _{SS}	Power supply ground.
11	DCLK	Data Clock (Output). Outputs a clock burst of 8 low going pulses at 1202.8Hz (3.5795MHz divided by 2976). Every clock burst is initiated by the DATA stop bit start bit sequence. When the input DATA is 1202.8 baud, the positive edge of each DCLK pulse coincides with the middle of the data bits output at the DATA pin. No DCLK pulses are generated during the start or stop bits. Typically, DCLK is used to clock the eight data bits from the 10 bit data word into a serial-to-parallel converter.
12	DATA	Data (Output). Serial data output corresponding to the FSK input and switching at the input baud rate. Mark frequency at the input corresponds to a logic high, while space frequency corresponds to a logic low at the DATA output. With no FSK input, DATA is at logic high. This output stays high until \overline{CD} has become active.
13	\overline{DR}	Data Ready (Open Drain Output). This output goes low after the last DCLK pulse of each word. This can be used to identify the data (8-bit word) boundary on the serial output stream. Typically, \overline{DR} is used to latch the eight data bits from the serial-to-parallel converter into a microcontroller.
14	\overline{CD}	Carrier Detect (Open Drain Output). A logic low indicates that a carrier has been present for a specified time on the line. A time hysteresis is provided to allow for momentary discontinuity of carrier.
15	PWDN	Power Down (Input). Active high, Schmitt Trigger input. Powers down the device including the input op-amp and the oscillator.
16	IC1	Internal Connection 1. Connect to V _{SS} .
19	IC2	Internal Connection 2. Internally connected, leave open circuit.
20	V _{DD}	Positive power supply voltage.
6,8 17, 18	NC	No Connection.

Functional Description

The MT8841 Calling Number Identification Circuit (CNIC) is a device compatible with the Bellcore proposal (TR-NWT-000030) on generic requirements for transmitting asynchronous voiceband data to Customer Premises Equipment (CPE) from a serving Stored Program Controlled Switching System (SPCS) or a Central Office (CO). This data transmission technique is applicable in a variety of services like Calling Number Delivery (CND), Calling Name Delivery (CNAM) or Calling Identity Delivery on Call Waiting (CIDCW) as specified in Custom Local Area Signalling Service (CLASSSM) calling information delivery features by Bellcore.

With CND, CNAM and CIDCW service, the called subscriber has the capability to display or to store the information on the calling party which is sent by the CO and received by the CNIC.

In the CND service, information about a calling party is embedded in the silent interval between the first and second ring. During this period, the CNIC receives and demodulates the 1200 baud FSK signal (compatible with Bell-202 specification) and outputs data into a 3-wire serial interface.

In the CIDCW service, information about a second calling party is sent to the subscriber, while they are engaged in another call. During this period, the CNIC receives and demodulates the FSK signal as in the CND case.

The CNIC is designed to provide the data transmission interface required for the above service

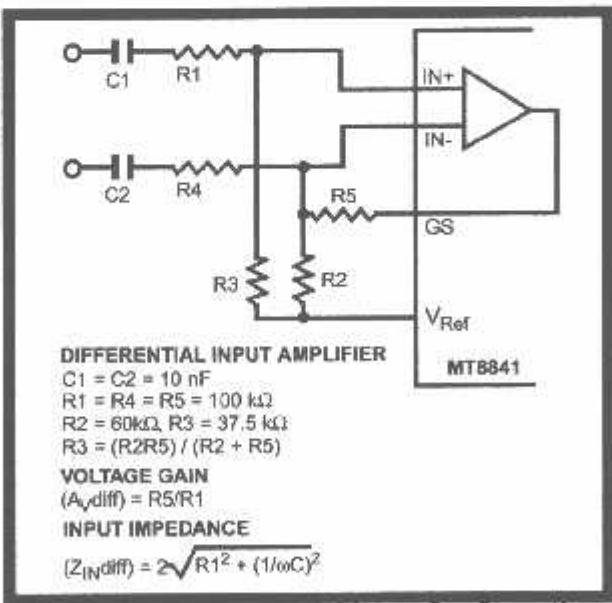


Figure 3 - Differential Input Configuration

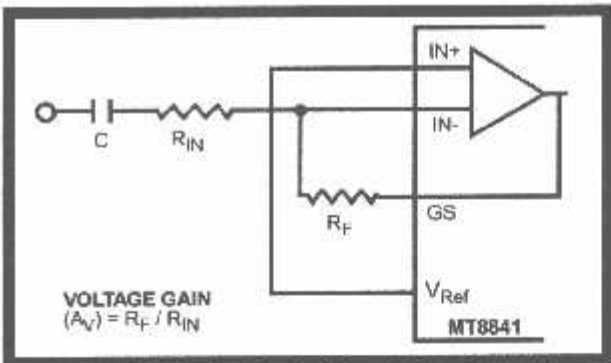


Figure 4 - Single-Ended Input Configuration

at the called subscriber location either in the on-hook case as in CND, or the off-hook case, as in CIDCW. The functional block diagram of the CNIC is shown in Figure 1. Note however, for CIDCW applications, a separate CAS (CPE Alerting Signal) detector is required.

In Europe, Caller ID and CIDCW services are being proposed. These schemes may be different from their North American counterparts. In most cases, 1200 baud CCITT V.23 FSK is used instead of Bell 202. Because the CNIC can also demodulate 1200 baud CCITT V.23 with the same performance, it is suitable for these applications.

Although the main application of the CNIC is to support CND and CIDCW service, it may also be used in any application where 1200 baud Bell 202 and/or CCITT V.23 FSK data reception is required.

Input Configuration

The input arrangement of the MT8841 provides an operational amplifier, as well as a bias source (V_{Ref}) which is used to bias the inputs at V_{DD/2}. Provision is made for connection of a feedback resistor to the op-amp output (GS) for adjustment of gain. In a single-ended configuration, the input pins are connected as shown in Figure 4.

Figure 3 shows the necessary connections for a differential input configuration.

User Interface

The CNIC provides a powerful 3-pin interface which can reduce the external hardware and software requirements. The CNIC receives the FSK signal, demodulates it, and outputs the extracted data to the DATA pin. For each received stop bit start bit sequence, the CNIC outputs a fixed frequency clock string of 8 pulses at the

corresponds to the centre of each DATA bit cell. If the incoming baud rate matches the DCLK, DCLK is not generated for the stop and start. Consequently, DCLK will clock only valid data to a peripheral device such as a serial to parallel register or a micro-controller. The CNIC also outputs an end of word pulse (data ready) at the DR. The data ready signal indicates the reception of a 10-bit word sent from the Central Office. This output is typically used to interrupt a micro-controller. These three outputs together, eliminate the need for a UART (Universal Asynchronous Receiver Transmitter) or the high software overhead of forming the UART function (asynchronous serial reception).

As the 3-pin interface may also output data generated by voice since these frequencies are in the input frequency detection band of the device, the user may choose to ignore these outputs when no data is not expected, or force the CNIC into its powerdown mode.

Power Down Mode

In applications requiring reduced power consumption, the CNIC can be forced into powerdown when it is not needed to receive FSK data. This is done by pulling the PWDN pin high. In powerdown mode, the crystal oscillator, op-amp and internal circuitry are all disabled and the CNIC will not react to the input signal. DATA and DCLK are at logic high, DR and CD are at high impedance or at logic high when pulled up with resistors. The CNIC can be taken out of powerdown for reception of the FSK signal by pulling the PWDN pin to ground (see Figure 9).

Carrier Detect

The presence of the FSK signal is indicated by a logic low at the carrier detect (CD) output. This output has built in hysteresis to prevent toggling when the received signal is shortly interrupted. Note that the CD output is also activated by voice since these frequencies are in the input frequency detection band of the device. The user may choose to ignore this output when FSK data is not expected, or force the CNIC into its powerdown mode.

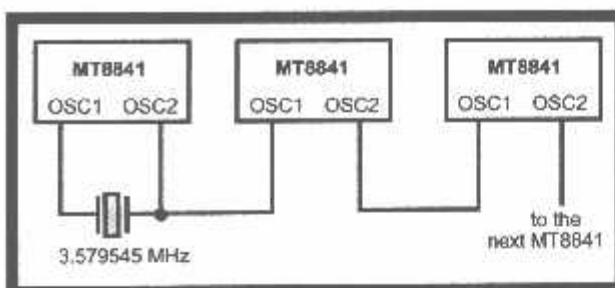


Figure 5 - Common Crystal Connection

Crystal Oscillator

The CNIC uses a crystal oscillator as the master timing source for filters and the FSK demodulator. The crystal specification is as follows:

Frequency:	3.579545 MHz
Frequency tolerance:	$\pm 0.1\%$ (-40°C to $+85^{\circ}\text{C}$)
Resonance mode:	Parallel
Load capacitance:	18 pF
Maximum series resistance:	150 ohms
Maximum drive level (mW):	2 mW
e.g. CTS MP036S	

A number of MT8841 devices can be connected as shown in Figure 5 such that only one crystal is required. The connection between OSC2 and OSC1 can be D.C. coupled as shown, or A.C. coupled using 30pF capacitors. Alternatively, the OSC1 inputs on all devices can be driven from a CMOS buffer (dc coupled) with the OSC2 outputs left unconnected.

V_{Ref} and CAP Inputs

V_{Ref} is the output of a low impedance voltage source equal to V_{DD/2} and is used to bias the input op-amp. A 0.1μF capacitor is required between CAP and V_{SS} to suppress noise on V_{Ref}.

Applications

The circuit shown in Figure 6 illustrates the use of the MT8841 device in a typical FSK receiver system. Bellcore Special Report SR-T3V-002476 specifies that the FSK receiver should be able to receive FSK signal levels as follows:

Received Signal Level at 1200Hz:
-32dBm to -12dBm

Received Signal Level at 2200Hz:
-36dBm to -12dBm

This condition can be attained by choosing suitable values of R1 and R2. The MT8841 configured in a unity gain mode as shown in Fig. 6 meets the above level requirements.

For applications requiring detection of lower FSK signal level, the input op amp may be configured to provide adequate gain.

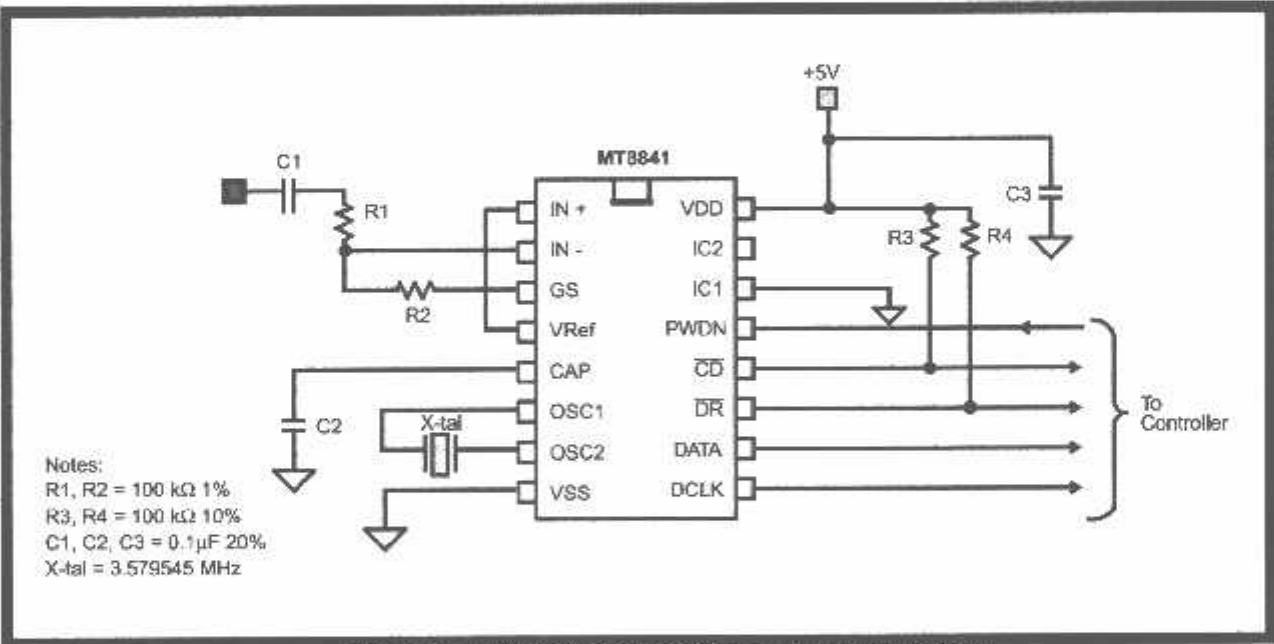


Figure 6 - Application Circuit (Single-Ended Input)

bsolute Maximum Ratings* - Voltages are with respect to V_{SS} unless otherwise stated.

Parameter	Symbol	Min	Max	Units
DC Power Supply Voltage V _{DD} to V _{SS}	V _{DD}	-0.3	6	V
Voltage on any pin	V _P	-0.3	V _{DD} +0.3	V
Current at any pin (except V _{DD} and V _{SS})	I _{IO}		±10	mA
Storage Temperature	T _{ST}	-65	+150	°C
Package Power Dissipation	P _D		500	mW

ceeding these values may cause permanent damage. Functional operation under these conditions is not implied.

commended Operating Conditions - Voltages are with respect to ground (V_{SS}) unless otherwise stated

Characteristics	Sym	Min	Typ	Max	Units	Test Conditions
DC Power Supply Voltage	V _{DD}	4.5	5.0	5.5	V	
Clock Frequency	f _{OSC}		3.579545		MHz	
Tolerance on Clock Frequency	Δfc			±0.2	%	
Operating Temperature		-40		+85	°C	

Electrical Characteristics†

	Characteristics	Sym	Min	Typ*	Max	Units	Test Conditions
SUPPLY	Standby Supply Current	I _{DDO}		15	100	μA	PWDN=V _{DD}
	Operating Supply Current	I _{DD}		3	5	mA	PWDN=V _{SS}
	Power Consumption	P _O			28	mW	
DATA DCLK	Low Level Output Voltage	V _{OL}	V _{DD} -0.4		0.4	V	I _{OL} =2.5mA I _{OH} =0.8mA
	High Level Output Voltage	V _{OH}				V	
DR CD	Sink Current	I _{OL}	2.5			mA	V _{OL} =0.4V
PWDN	Low Level Input Voltage	V _{IL}	V _{DD} -1.2		1.2	V	
	High Level Input Voltage	V _{IH}				V	
	Input Current	I _{IN}			10	μA	V _{SS} ≤ V _{IN} ≤ V _{DD}
VRef	Output Voltage	V _{Ref}	2.45	2.5	2.55	V	V _{DD} =5.0V No Load
	Output Resistance	R _{Ref}			2	kΩ	

† Electrical Characteristics are over recommended operating conditions unless otherwise stated.
ypical figures are at 25°C and are for design aid only.

Electrical Characteristics† - Gain Setting Amplifier

	Characteristics	Sym	Min	Typ‡	Max	Units	Test Conditions
1	Input Leakage Current	I_{IN}			1	μA	$V_{SS} \leq V_{IN} \leq V_{DD}$
2	Input Resistance	R_{in}	5			$M\Omega$	
3	Input Offset Voltage	V_{OS}			25	mV	
4	Power Supply Rejection Ratio	PSRR	30	40		dB	1kHz ripple on V_{DD}
5	Common Mode Rejection	CMRR	30	40		dB	$V_{CMmin} \leq V_{IN} \leq V_{CMmax}$
6	DC Open Loop Voltage Gain	A_{VOL}	30	32		dB	
7	Unity Gain Bandwidth	f_C	.2	0.3		MHz	
8	Output Voltage Swing	V_O	0.5		$V_{DD}-0.5$	V_{pp}	Load $\geq 50k\Omega$
9	Maximum Capacitive Load (GS)	C_L			100	pF	
10	Maximum Resistive Load (GS)	R_L	50			$k\Omega$	
11	Common Mode Range Voltage	V_{CM}	1.0		$V_{DD}-1.0$	V	

† Electrical characteristics are over recommended operating conditions, unless otherwise stated.
‡ Typical figures are at 25°C and are for design aid only; not guaranteed and not subject to production testing.

AC Electrical Characteristics† - FSK Detection

	Characteristics	Sym	Min	Typ‡	Max	Units	Notes*
1	Input Detection Level		-36 12.3		-9 275	dBm mV	1, 2, 3 1, 2, 3
2	Input Baud Rate		1188	1200	1212	baud	7
3	Input Frequency Detection Bell 202 1 (Mark) Bell 202 0 (Space)		1188 2178	1200 2200	1212 2222	Hz Hz	}7 BELL 202 Frequencies
	CCITT V.23 1 (Mark) CCITT V.23 0 (Space)		1280.5 2068.5	1300 2100	1319.5 2131.5	Hz Hz	
4	Input Noise Tolerance $20 \log(\frac{\text{signal}}{\text{noise}})$	SNR	20			dB	2, 3, 4, 5

† AC Electrical Characteristics are over recommended operating conditions, unless otherwise stated.
‡ Typical figures are at 25°C and are for design aid only; not guaranteed and not subject to production testing.

Electrical Characteristics† - Timing

	Characteristics	Sym	Min	Typ†	Max	Units	Notes*
PWON OSC1	Power-up time	t _{PU}		35	50	ms	
	Power-down time	t _{PD}		100	1000	µs	11
CD	Input FSK to $\overline{\text{CD}}$ low delay	t _{IAL}			25	ms	
	Input FSK to $\overline{\text{CD}}$ high delay	t _{IAH}	8			ms	
	Hysteresis		8			ms	
DATA	Rate		1188	1200	1212	bps	6,12
	Input FSK to DATA delay	t _{IDD}		1	5	ms	
DATA DCLK	Rise time	t _R			200	ns	8
	Fall time	t _F			200	ns	8
	DATA to DCLK delay	t _{DCD}	6	416		µs	6, 7, 10
	DCLK to DATA delay	t _{CDD}	6	416		µs	6, 7, 10
DCLK	Frequency		1200	1202.8	1205	Hz	7
DCLK	High time	t _{CH}	415	416	417	µs	7
	Low time	t _{CL}	415	416	417	µs	7
DCLK DR	DCLK to $\overline{\text{DR}}$ delay	t _{CRD}	415	416	417	µs	7
DR	Rise time	t _{RR}			10	µs	9
	Fall time	t _{FF}			200	ns	9
	Low time	t _{RL}	415	416	417	µs	7

† Electrical Characteristics are over recommended operating conditions unless otherwise stated.
† Typical figures are at 25°C and are for design aid only, not guaranteed and not subject to production testing.

- Notes:
1. dBm=decibels above or below a reference power of 1mW into 600Ω.
 2. Using unity gain test circuit shown in Figure 6.
 3. Mark and Space frequencies have the same amplitude.
 4. Band limited random noise (200-3200Hz).
 5. Referenced to the minimum input detection level.
 6. FSK Input data at 1200 ±12 baud.
 7. OSC1 at 3.579545 MHz ±0.2%.
 8. 10k to V_{SS}, 50pF to V_{SS}.
 9. 10k to V_{DD}, 50pF to V_{SS}.
 10. Function of signal condition.
 11. The device will stop functioning within this time, but more time may be required to reach I_{DDO}.
 12. For a repeating mark space sequence, the data stream will typically have equal 1 and 0 bit durations.

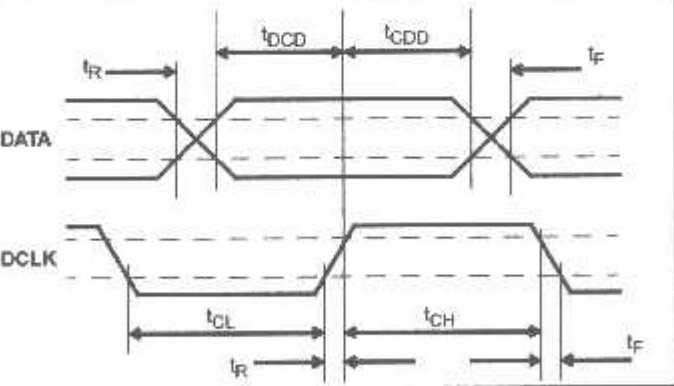


Figure 7 - DATA and DCLK Output Timing

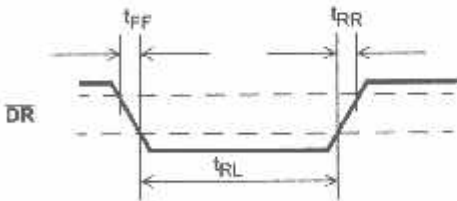


Figure 8 - DR Output Timing

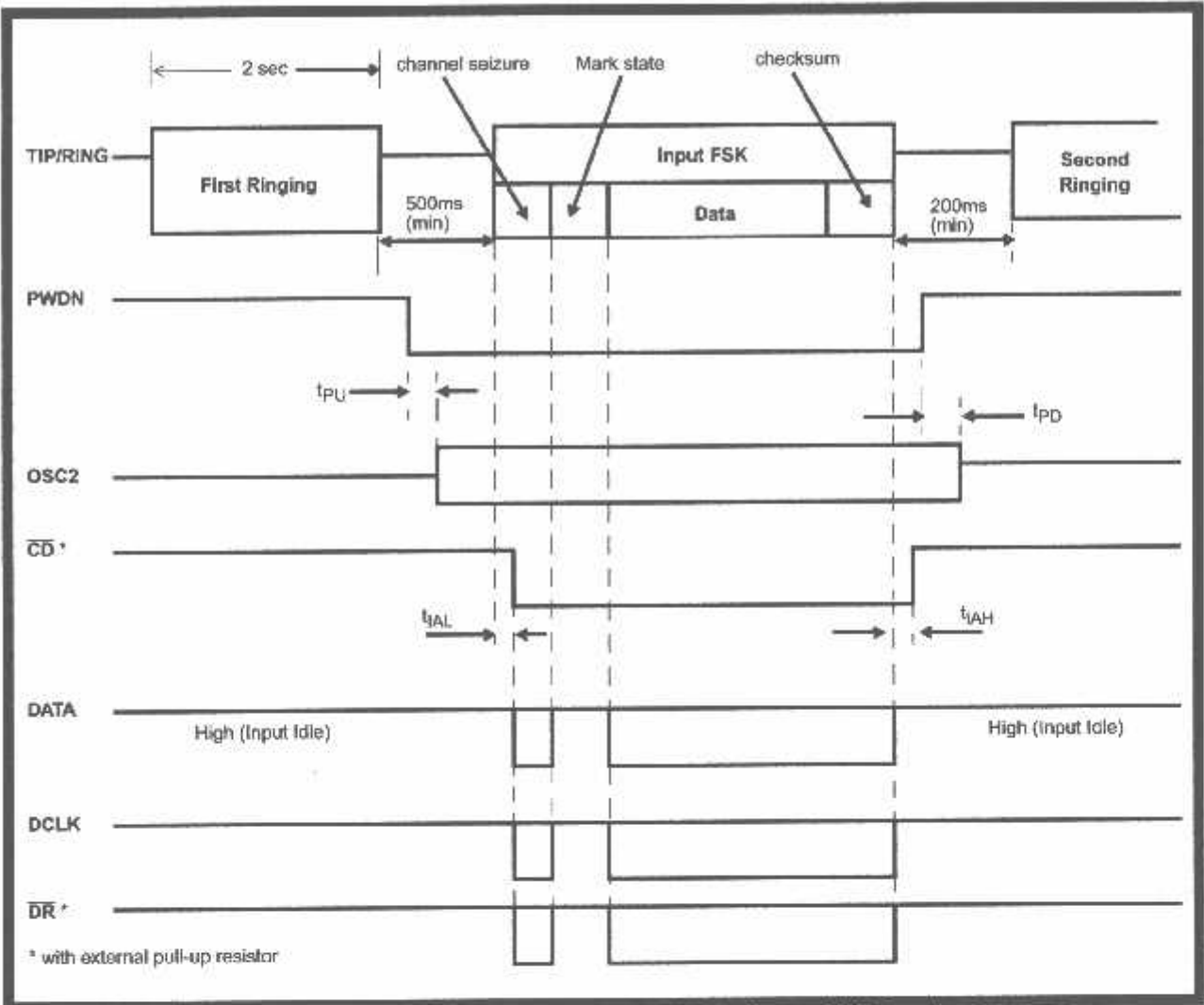


Figure 9 - Input and Output Timing (Bellcore CND Service)

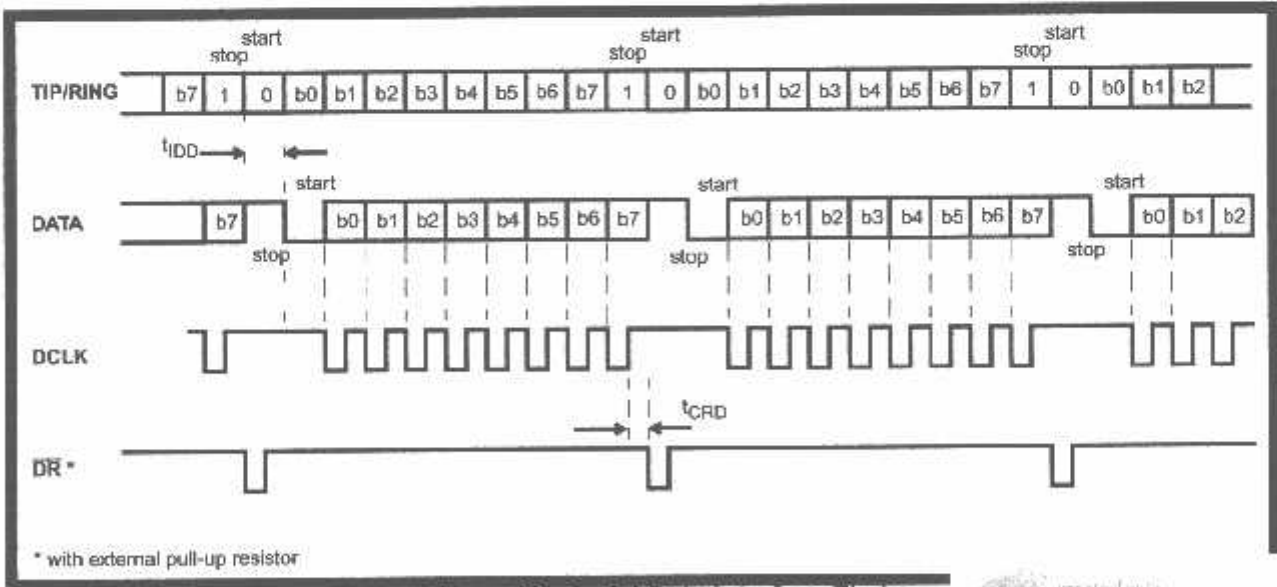


Figure 10 - Serial Data Interface Timing

